

PROBLEMAS SISTEMAS DIGITALES 3er EXAMEN

03/02/04

Prof: Orlando Heredia

1. Utilizando el procedimiento de diseño de contadores sincronizados, diseñe un contador totalmente sincronizado que efectúe la secuencia mostrada abajo. Use solamente Flip Flops tipo JK. Elija los estados o transiciones para obtener la mínima cantidad de compuertas. Muestre el diagrama de transición del circuito diseñado.

011, 100, 110, 011, 100; y 001, 010, 101, 001.....

2. Utilizando el procedimiento de diseño de contadores, diseñe un contador totalmente sincronizado de tres bits en código gray ascendente y descendente. Use Flip Flops tipo D para los dos bits menos significativos y un JK para el MSB.
 - Presente cada una de las funciones (en suma de mini términos) de las entradas de excitación de los Flip Flops.
 - Realice el circuito contador utilizando: dos decodificadores 1 de 4 (con entradas y salidas activas en alto y habilitación activa en bajo) y un cuádruple multiplexor 2x1 (entradas y salidas activas en alto y entradas de selección comunes). Use la menor cantidad de compuertas lógicas.
3. Obtenga las funciones lógicas abajo indicadas (sin simplificar) con la mínima cantidad de compuertas y circuitos funcionales. Utilice un (1) multiplexor doble con dos (2) entradas de selección común y salidas activas en baja, y dos (2) decodificadores que posean tres (3) entradas activas en alto, salidas activas en bajo y una (1) entrada de habilitación activa en bajo.

$$F(W, B, A) = \sum (1,3,4,7)$$

$$K(A, B, W) = \sum (1,2,5,6)$$

$$G(Z, Y, X, W) = \sum (2,3,5,8,12,13,14)$$

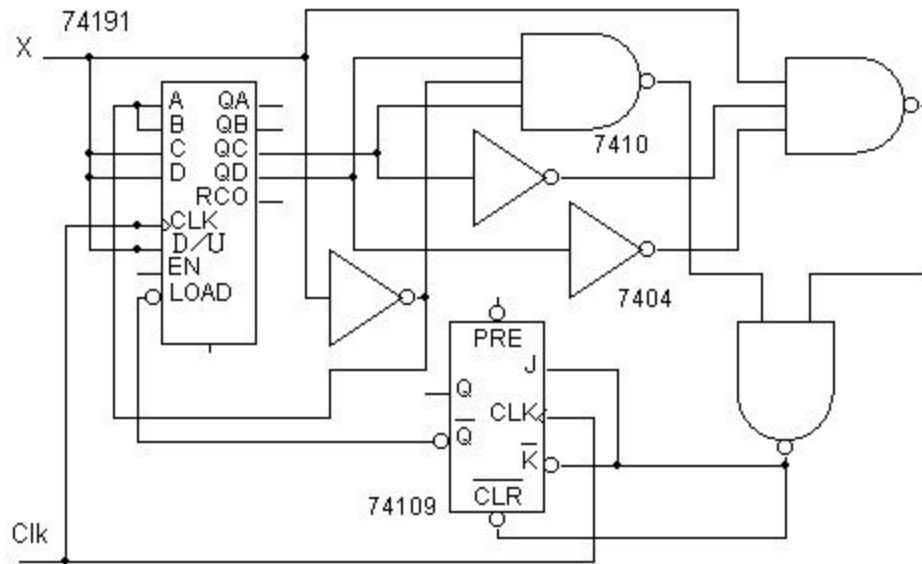
$$O(X, Y, Z) = \sum (1,3,4,7)$$

4. Diseñe un contador totalmente sincronizado de 4 bits en código exceso 3 (X3) ascendente y descendente. Use Flip Flops tipo D para los tres bits menos significativos y un FF tipo JK para el bit MSB.

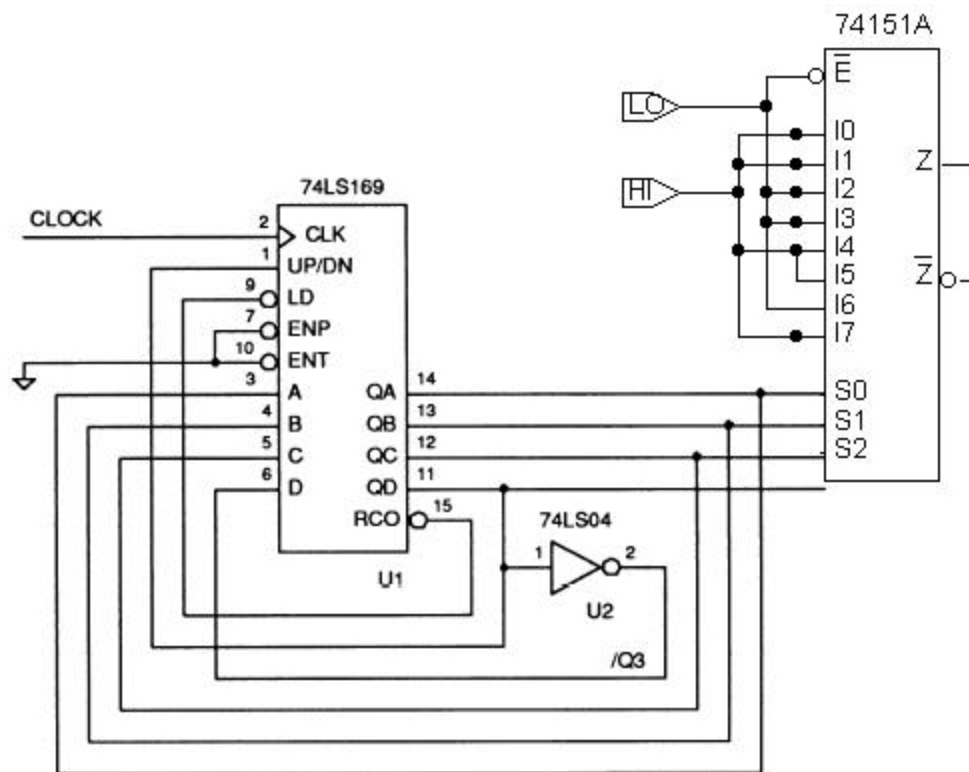
- Presente cada una de las funciones de excitación de los Flip Flops en suma de mini términos y condiciones no importa.
 - Realice el circuito utilizando los circuitos funcionales siguientes: decodificadores 1 de 4 (con entradas activas en alto y salidas y habilitación activas en bajo) y multiplexores 2x1 cuádruples con entradas de selección común y salidas activas en bajo. Use la menor cantidad de circuitos funcionales.
5. Utilizando la menor cantidad de contadores 74XX163 (ver hoja de datos) y las compuertas que sean necesarias, diseñe un divisor por 100 sincronizado 50% de ciclo de trabajo. Muestre el diagrama de transición del circuito (simplificado).
6. Emplee un (1) contador 74XX161 (ver hoja de datos anexa) y los circuitos funcionales necesarios para diseñar un circuito contador que pueda trabajar, según sea la entrada X tal como se indica en la tabla. Muestre el diagrama de transición del circuito.

X	MODO DE TRABAJO
0	Contador BCD ascend.
1	Contador Exceso 3 ascend.

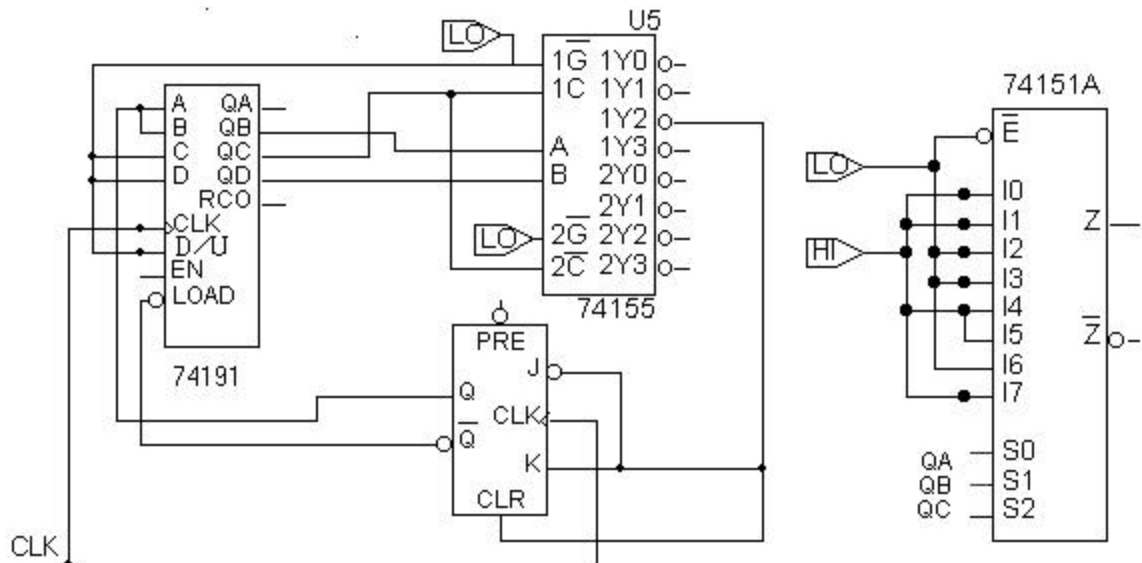
7. Con la mínima cantidad posible de circuitos contadores 74XX169 y circuitos funcionales, diseñe un (1) circuito que pueda ser usado como:
- Un contador sincronizado del 23 Al 134, ambos incluidos. Muestre el diagrama de transición (simplificado) del circuito diseñado. Indique la relación de frecuencia entre cada una de las salidas y la señal de reloj.
 - Un contador sincronizado del 126 Al 34, ambos incluidos. Muestre el diagrama de transición (simplificado) del circuito diseñado
8. Explique el funcionamiento y muestre el diagrama de transición del circuito mostrado en la figura. Calcule el periodo de las salidas en relación con la entrada de reloj. Explique la función, si tiene alguna, del flip flop 74109.



9. Para el circuito mostrado en la figura, determine el diagrama de transición de las salidas QD QC QB QA y presente el diagrama de tiempos de las señales Z y clock. Anexo se incluye hoja de datos del 74XXX169.



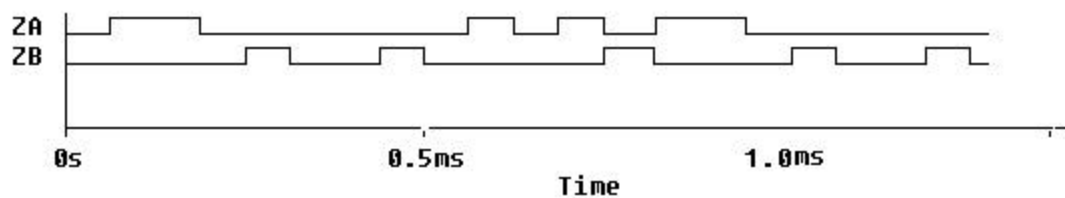
10. Para los circuitos de la figura encuentre el diagrama de transición de las salidas QD, QC, QB, QA. Calcule el periodo de la salida QC en relación con la entrada de reloj. Obtenga el diagrama de tiempos para la salida Z y la señal de reloj.



11. Emplee la mínima cantidad de 74ACT11286 (ver hoja de datos) y compuertas para diseñar:

1. Un generador del bit de paridad impar, para una palabra de 12 (doce) bits.
2. Un generador del bit de paridad par, para una palabra de 12 (doce) bits.

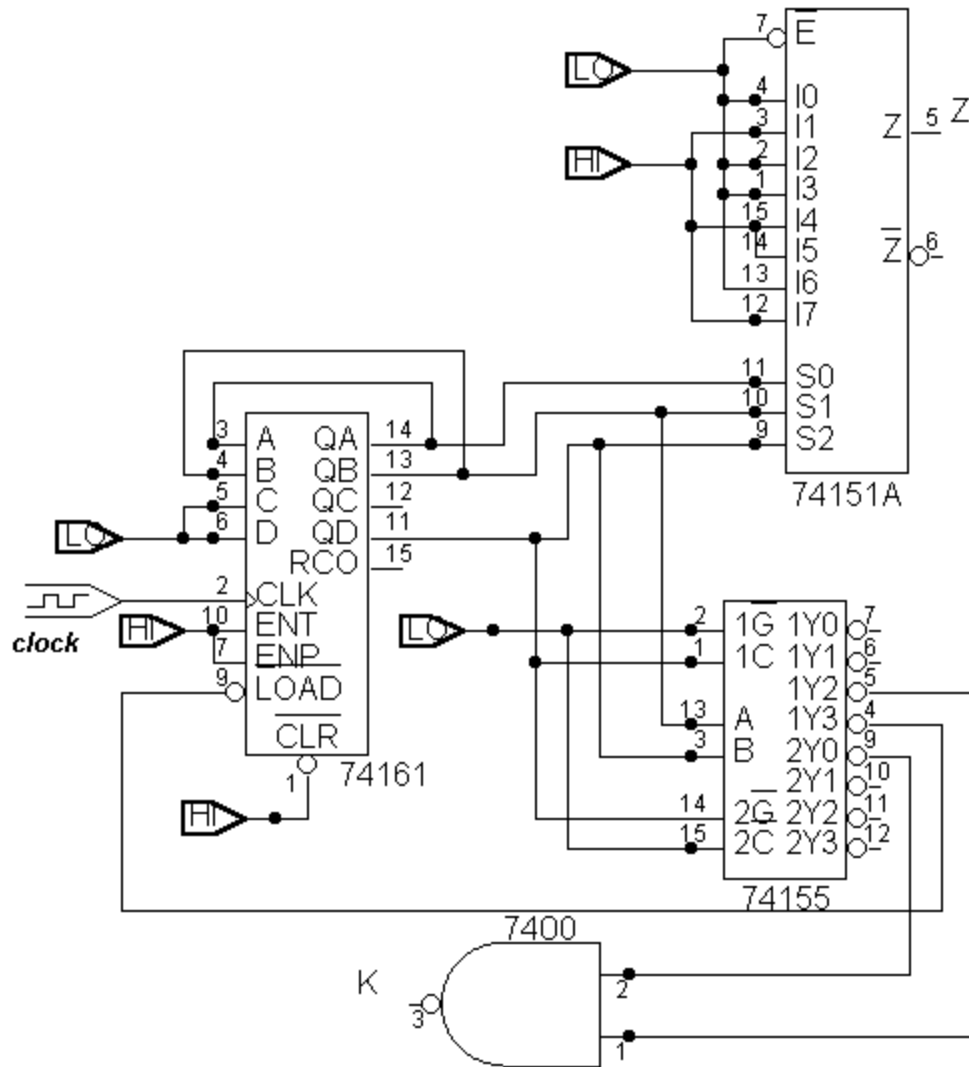
12. Utilizando un (1) C.I. 74XX161, diseñe un circuito que genere la señal ZB usando la mínima cantidad de decodificadores 74155 (ver figura), y la señal ZA usando la mínima cantidad de multiplexores 74151.



13. Para el circuito mostrado en la figura, determine:

- El diagrama de transición de las salidas QD QC QB QA
- El diagrama de tiempos de la señal Z y clock.
- El diagrama de tiempos de la señal K y clock.

Anexo se incluye hoja de datos del 74XXX161.



03/02/04