

CIRCUITOS FUNCIONALES

Existen numerosos circuitos integrados diseñados para realizar diversos procesos o construir interfaces entre sistemas digitales, los avances en la tecnología han permitido desarrollar circuitos más completos en un solo encapsulado o chip. Los circuitos integrados (CI) en mediana y gran escala de integración (MSI, VLSI) pueden llevar a cabo procesos realmente complejos. Estos procesos pueden ser específicos o generales y abarcan la codificación, decodificación, conversión paralelo/serie, selección de datos, almacenamiento de datos, conteo de eventos, conversión de códigos, sincronización de eventos y otros más.

Es importante conocer la función de componentes o circuitos básicos y su forma de interconexión. Esto también permite adquirir la habilidad de reconocer con facilidad la forma de trabajo de circuitos o sistemas complejos al centrar la comprensión o análisis en la función o proceso de los dispositivos más que en su diagrama de circuitos o funcionamiento interno.

Ejemplo de circuitos funcionales son los registros y contadores, circuitos secuenciales ampliamente utilizados en sistemas digitales. Los contadores desempeñan tareas tales como la división de frecuencia, el conteo de eventos o el control de secuencia de varias tareas. Los registros son dispositivos que se usan como almacenamiento o memoria temporal, como dispositivos de demora o retardo y en la conversión entre formas de datos en serie y en paralelo. Es importante conocer el funcionamiento interno de estos dispositivos con el fin de tener en cuenta sus características y limitaciones de trabajo.

5.1 ALMACENAMIENTO Y TRANSFERENCIA DE DATOS

Uno de los procesos digitales de mayor importancia es la transmisión y el almacenamiento de información. El uso más frecuente de los flip flops es el almacenamiento o registro de datos. Los datos frecuentemente se componen de cadenas o palabras de varios bits y dependiendo principalmente de la cantidad de datos a enviar o recibir serán transmitidos y procesados en serie o paralelo.

No siempre es posible transferir en paralelo la información, específicamente cuando la palabra binaria es grande y contiene un gran número de bits. La transferencia paralela es notable por su velocidad, pero requiere un gran número de canales: una

palabra de 20 bits requiere al menos 20 canales para transferirla. Por otro lado, cuando una palabra es transferida en serie solamente un canal es suficiente y no importa el tamaño de la palabra, claro está que en detrimento de la velocidad de operación.

5.1.1 REGISTRO DE CORRIMIENTO BÁSICO

Una memoria o registro de información que es capaz de aceptar un conjunto de bits o palabra en serie es llamado registro de traslación, registro de corrimiento o "shift register". En este registrador o registro, la información se mueve solamente una posición en cada pulso de reloj.

El registrador de traslación básico es capaz de aceptar informaciones en serie y transferirlas del mismo modo (entrada serial y salida serial). El número de flip flops en el registrador determina la capacidad de almacenamiento. Un registrador de traslación de 4 bits se muestra en la figura 5-1, el registro está formado por cuatro flip flops JK (conectados como FF del tipo D).

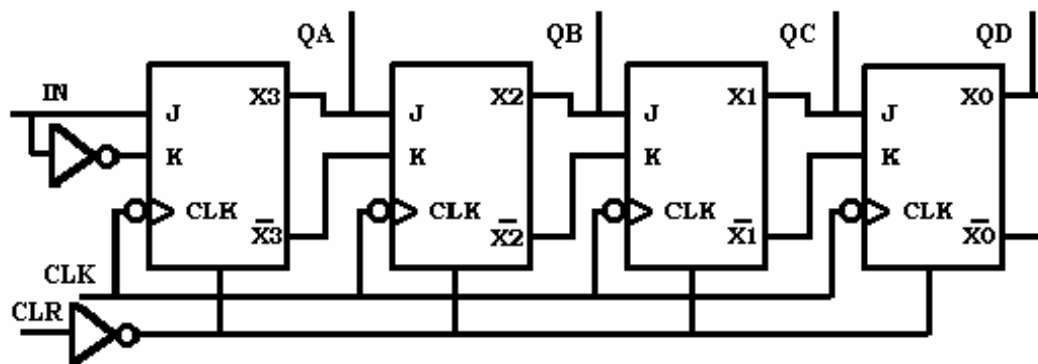


Figura 5-1 Registro de corrimiento

La información es conectada al registrador en la entrada J y K del primer flip flop. El nuevo dato en la entrada del flip flop es transferido (con el flanco del reloj) a la salida del primer flip flop, la información se desplaza de un flip flop al siguiente a cada pulso de reloj. Cuatro pulsos de reloj son necesarios para llenar con información a un registro de cuatro bits. Un pulso negativo en la línea reset limpia el registrador colocando todos los flip flops en cero.

El proceso que tiene lugar sobre la información en el registro de corrimiento, en relación con los pulsos de reloj, es visto en la figura 5-2.

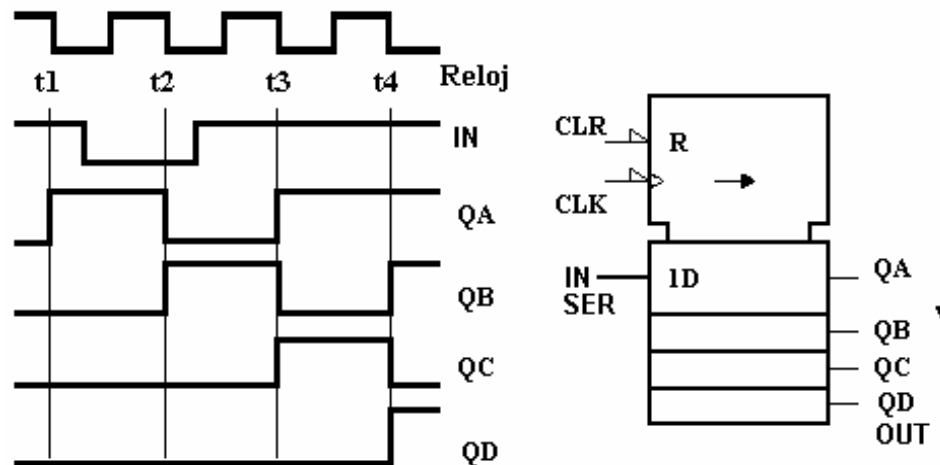


Figura 5-2 Funcionamiento y símbolo del registro de corrimiento

Nótese que los FF están conectados de manera que la salida de Q_A se transfiera a Q_B , Q_B hacia Q_C y Q_C va a Q_D . Esto significa que con la ocurrencia del pulso de corrimiento (CLK) cada FF toma el valor almacenado anteriormente en el FF a su izquierda. El flip flop Q_A toma un valor determinado por la entrada de datos (presente en sus entradas J y K) cuando ocurre el pulso de corrimiento.

Usualmente, en pequeños registradores (algunos bits) se tiene acceso paralelo a cada salida de los flip flops. Entonces, es posible sacar los datos del registro en paralelo (entrada serial y salida paralelo) y combinar ventajas de la economía de transmisión en serie con de la velocidad de la operación paralela.

En adición a sus aplicaciones en el almacenamiento de información en serie, el registrador descrito anteriormente también es usado en los circuitos de cálculo (unidad aritmética) y es usado en las operaciones de multiplicación.

5.1.2 REGISTROS CON ENTRADAS EN PARALELO

En el caso anterior, la información entra en serie y el registrador de traslación las almacena de tal forma que son accesibles en serie (registro serie en serie) o en paralelo (convertidor de serie en paralelo). Frecuentemente ocurre el proceso donde la información es aplicada en paralelo y transferida en serie. Esta operación es realizada por un registrador de traslación con entradas paralelas.

El registrador de 8 bits 74HC165, donde la información es inyectada paralela a las entradas asincrónicas, se muestra en la figura 5-3. [5]

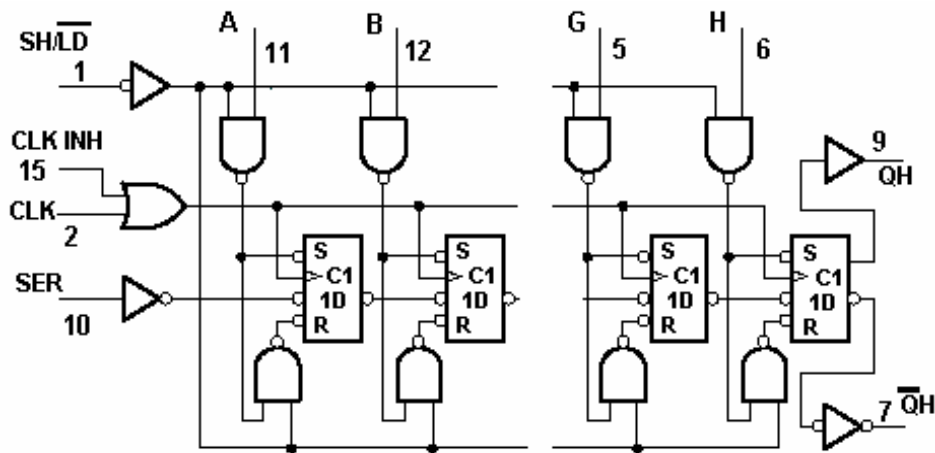


Figura 5-3 Registro 74HC165 Fuente: Texas Instruments Inc. Logic Selection Guide and Databook. 2/E, Texas Instruments Inc, Dallas, 1997

La información (A, B,..., G, H) es insertada en paralelo en el registrador en el instante que un nivel negativo aparece en la entrada del habilitador paralelo LD o habilitador de carga. Al terminar este pulso, la información cargada por las entradas paralelo va a ser trasladada en serie de acuerdo a la velocidad del reloj, en este modo de operación la entrada del habilitador paralelo LD debe estar en el estado uno.

La figura 5-4 muestra el símbolo del C.I. 74HC165 según el estándar ANSI/IEEE.

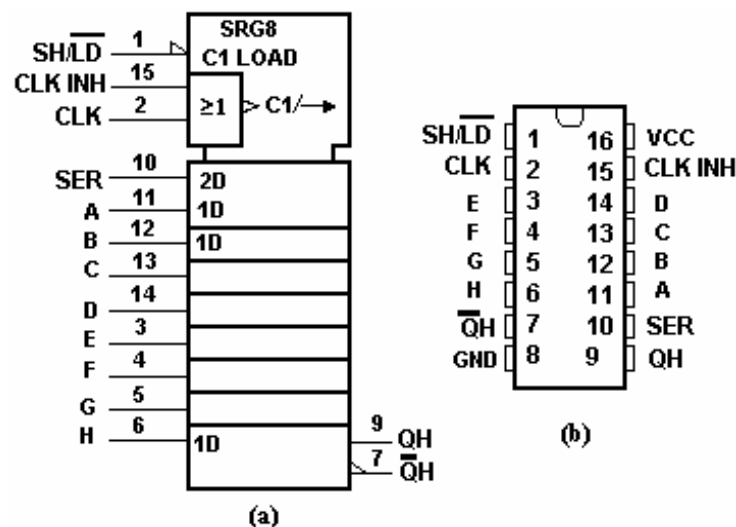


Figura 5-4 C.I. 74HC165 (a) Símbolo ANSI/IEEE (b) Encapsulado Fuente: Idem

5.1.3 REGISTRO DE CORRIMIENTO IZQUIERDO Y DERECHO

El elemento esencial en los circuitos de cálculo o unidades de Lógica y aritmética (ULA) es el registrador de corrimiento, el cual es capaz de trasladar informaciones tanto de izquierda a derecha como en el sentido inverso. El proceso de la multiplicación es ejecutado usando el traslado izquierdo, en cuanto que la división necesita el traslado derecho.

El registro de 4 bits 74AS194 de Texas Instruments ® (figura 5-5), es un dispositivo configurable para trabajar como registro de corrimiento del tipo derecha a izquierda o izquierda a derecha. La tabla de funcionamiento se muestra en la tabla 5-1 y su símbolo en la figura 5-6.

Cuando las entradas del modo de funcionamiento son $S0=0$ y $S1=1$, la información conectada a la entrada SR es trasladada a la derecha por los pulsos del reloj, y cuando $S0=1$ y $S1=0$, la información conectada a la segunda entrada SL va a ser trasladada a la izquierda.

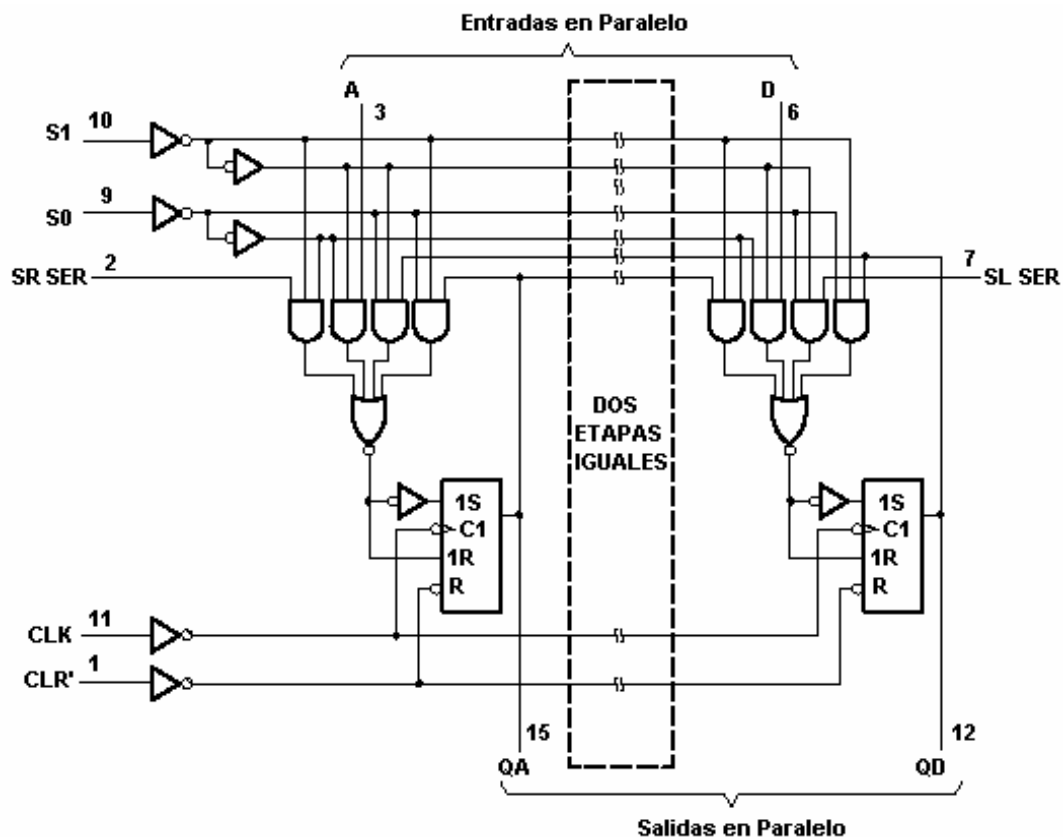


Figura 5-5 Diagrama lógico del registro 74AS194 Fuente: Idem

ENTRADAS										SALIDAS			
MODO			CLK	SERIAL		PARALELO				Q _A	Q _B	Q _C	Q _D
CLR	S1	S0		IZQ	DER	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}
H	H	L	↑	H	X	X	X	X	X	Q _{B0}	Q _{C0}	Q _{D0}	H
H	H	L	↑	L	X	X	X	X	X	Q _{B0}	Q _{C0}	Q _{D0}	L
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

Tabla 5-1 Tabla de funcionamiento del 74AS194 Fuente: Idem

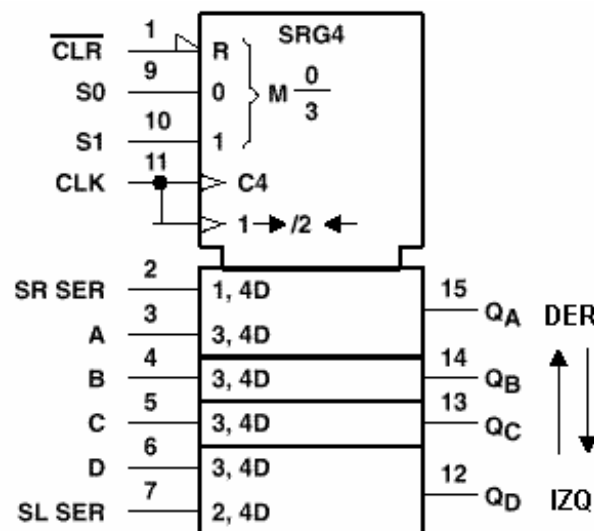


Figura 5-6 Símbolo del 74AS194 Fuente: Idem

5.2 CIRCUITOS CONTADORES

En casi todos los tipos de equipo digital se encuentran flip flops conectados como contadores de pulsos o como un dispositivo que lleva o da la secuencia de funcionamiento de un sistema digital, también se usan como divisores de frecuencias y en los procesos aritméticos.

Un contador de n bits está hecho de n flip flops interconectados. Un contador binario es un dispositivo que cuenta la cantidad de pulsos de entrada que recibe y su salida es un código binario tal como el código BCD. Un contador binario natural es es-

pecíficamente aquel cuya salida está en el código binario natural. Un contador es síncrono si todos sus flip flops tienen interconectadas sus entradas de reloj y por tanto son disparados simultáneamente, se denomina contador asíncrono aquel en que cada flip flop es disparado por la salida del flip flop anterior.

Todo contador de n bits tiene hasta 2^n **estados** o valores de salidas diferentes. Un contador de cuatro bits, puede contar hasta 16 pulsos de entrada de forma que sus salidas toman los valores que van desde el (0000) al (1111), sin embargo, el contador puede ser diseñado de manera que su secuencia de conteo tenga un número menor de estados.

El módulo M o número MOD de un contador es la cantidad de estados que posee el contador. Por ejemplo, un contador con Mod-16 tiene 16 estados y frecuentemente es llamado un contador hexadecimal.

5.2.1 CONTADOR DE ANILLO

En algunas referencias, el registro de traslación de la figura 5-7 es presentado como un contador de anillo, el cual se utiliza para codificar pulsos por los métodos decimal u octal. Cada pulso de reloj traslada en una posición el uno binario en el registrador, mientras que los otros flip flops quedan en el estado cero. Cuando el uno alcanza la última etapa, el próximo pulso de reloj, en este circuito, colocará todos los flip flops en cero. La salida del contador se dice que es decodificada, puesto que cada salida tiene asignada un valor o dígito decimal esta se activará de acuerdo con el número de pulsos entrados.

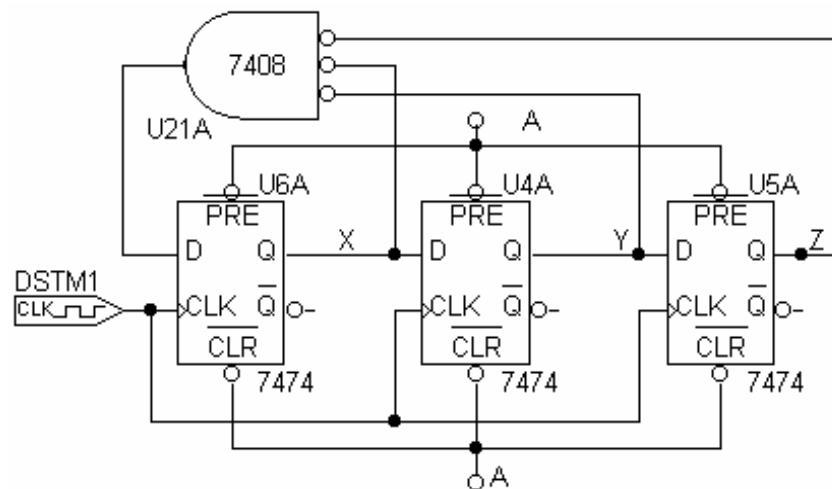


Figura 5-7 Contador de anillo

La figura 5-8 ilustra las salidas del contador. Una característica importante del circuito es la habilidad de corregir errores resultantes de un estado inicial no deseado, por ejemplo $(Z Y X) = (1 1 1)$, en cuyo caso el flip flop X pasará a cero y el registrador va a trasladar ceros hasta que las condiciones sean satisfechas; sólo entonces operará como el contador de anillo descrito. Es de observar que los contadores de anillo presentados en otras literaturas no presentan el estado $(Z Y X) = (0 0 0)$.

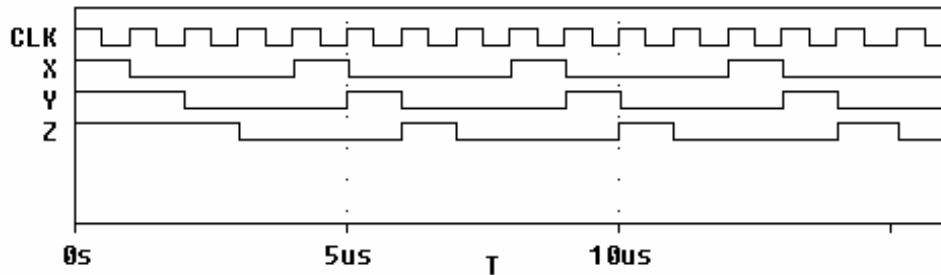


Figura 5-8 Diagrama de tiempos del contador de anillo

El número de flip flops en el registrador de anillo determina el código en el que están codificados los pulsos de reloj. En el circuito de la figura 5-7 el conteo es en base a 4 ya que cada cinco pulsos, el uno pasará por todos los flip flops y retornará a cero.

5.2.2 CONTADOR JOHNSON

En la figura 5-9 se observa un contador Johnson de 3 etapas mientras que la figura 5-10 muestra su diagrama de tiempos. En el contador Johnson, también llamado de anillo torcido o Mobius, el complemento de la salida de la ultima etapa es realimentada a la entrada. El resultado es un contador con $2N$ estados (donde N es la longitud del registro de corrimiento o número de flip flops) y una decodificación un poco más compleja que el contador anillo. El contador Johnson tiene $2^N - 2N$ estados sin usar; por lo que habrá mayor cantidad de estados indeseables en la secuencia de conteo. Es así que el contador puede entrar en una secuencia indeseable cuando recién se alimenta energía, en este caso el contador debe ser borrado o preseteado, para que comience en un estado válido.

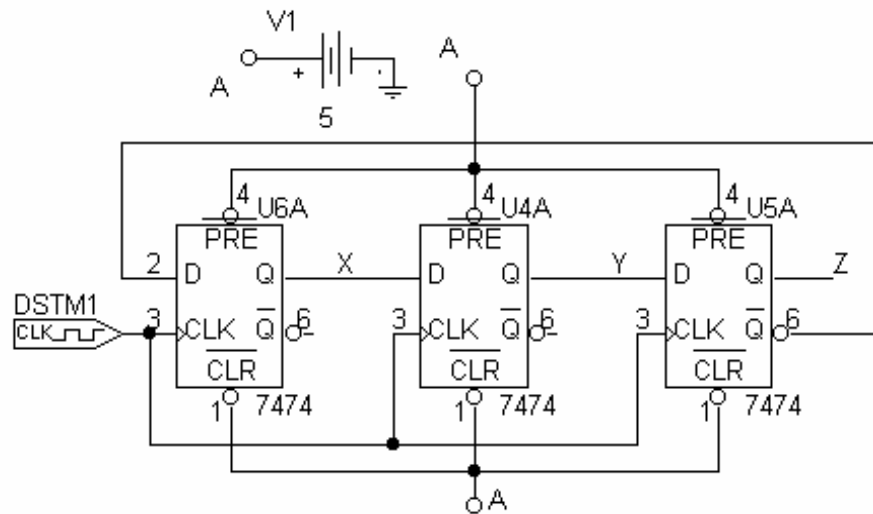


Figura 5-9 Contador Johnson

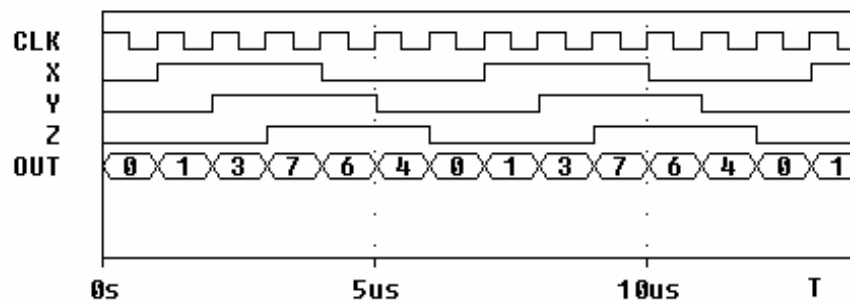


Figura 5-10 Diagrama de tiempos del contador Johnson

Tabla y diagrama de estados

El funcionamiento de un circuito secuencial suele ser explicado a través del diagrama de estados o de transición donde se exponen todas las transiciones.

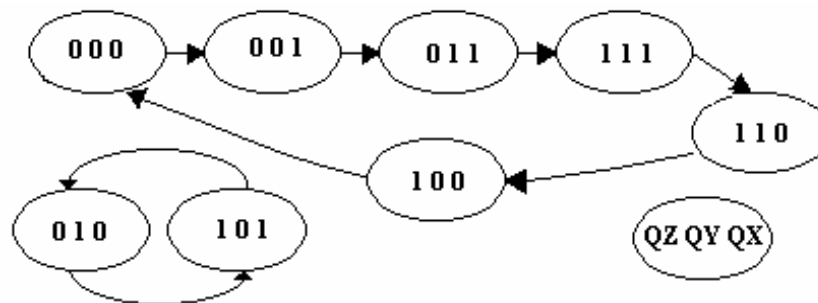


Figura 5-11 Diagrama de transición del contador Johnson

La figura 5-11 muestra el diagrama de transición de un contador Johnson. Otra forma muy útil de entender y explicar el funcionamiento es por medio de la tabla de transición como en la tabla 5-2.

PULSOS	ESTADO	Z	Y	X
0	0	0	0	0
1	1	0	0	1
2	3	0	1	1
3	7	1	1	1
4	6	1	1	0
5	4	1	0	0
6	0	0	0	0
0	2	0	1	0
1	5	1	0	1
2	2	0	1	0

Tabla 5-2 Tabla de transición del contador Johnson

5.2.3 CONTADORES BINARIOS ASÍNCRONOS

Conocidos como contadores de propagación ya que la información se propaga del bit menos significativo (LSB) al más significativo (MSB), el contador asíncrono o tipo rizado es el contador más sencillo en lógica; sin embargo, este contador está limitado por su velocidad de operación.

En la figura 5-12 se muestra un contador binario tipo rizado de 3 bits, se observa que los flip flops no cambian en sincronía exacta con la señal de reloj ya que solo en el FF correspondiente al LSB (QA) ocurren cambios sincronizados con el reloj de entrada. Puesto que los flip flops en el contador no están bajo el mando de una sola señal de pulsos de reloj, este contador se denomina asíncrono.

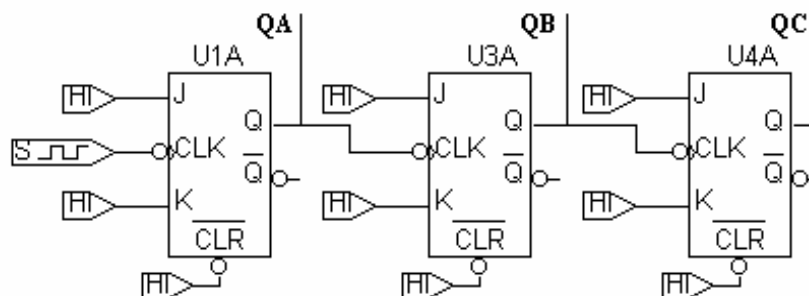


Figura 5-12 Contador binario asíncrono de tres bits

Para analizar el funcionamiento del contador se parte del supuesto de que inicialmente todos los flip flops están en el estado lógico 0 ($Q_A = Q_B = Q_C = 0$). En la figura 5-13 se presenta el resultado de la simulación del contador. Un pulso de reloj en la entrada de reloj del flip flop A causa que Q_A cambie de 0 lógico a 1 lógico, el flip flop B no cambia de estado, ya que es disparado por la transición negativa del pulso, o sea, cuando la entrada de reloj cambie de 1 lógico a 0 lógico. Con la llegada del segundo pulso del reloj al flip flop A, Q_A cambia de 1 a 0; este cambio de estado crea la transición negativa del pulso necesaria que dispara el flip flop B y cambia Q_B de 0 a 1. Antes de la llegada del octavo pulso de reloj todos los flip flops están en el estado 1, y el pulso número 8 causa que Q_A , Q_B y Q_C cambien al estado o valor inicial de 0 lógico.

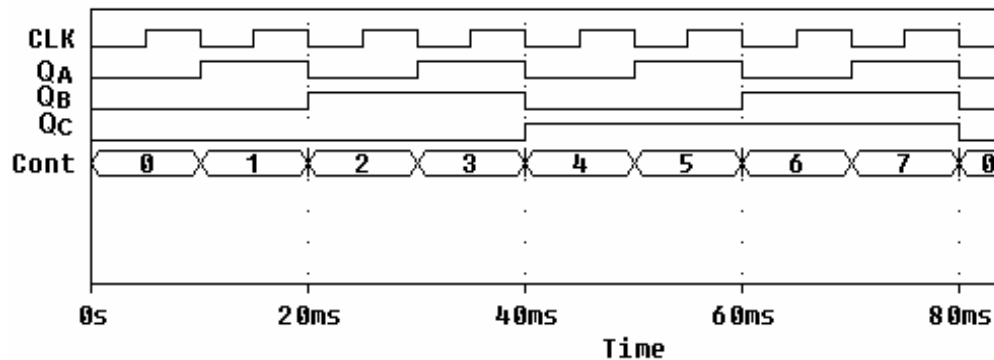


Figura 5-13 Diagrama de tiempos del contador binario asíncrono

Cada salida de un flip flop en un contador, como el de la figura 5-12, tiene un peso o valor específico asignado. El flip flop A tiene un peso de 1, el flip flop B tiene un peso de 2 y C tiene un peso de 4. Es por esto que normalmente se identifican las salidas de los FF con la letra Q y un subíndice que indica la posición que ocupa en la palabra o código de la cuenta; esto facilita la asociación de cada FF con el bit y el valor de su peso correspondiente en la palabra. El orden o valor asignado a los FF definirán el diagrama de estados del contador. El número almacenado en el contador en cualquier tiempo específico se puede determinar por la suma de los pesos decimales de los flip flops que tengan valor de uno lógico.

En algunas aplicaciones, los contadores deben ser capaces de contar también en forma decreciente. En la figura 5-14 se muestra la conexión de un contador binario asíncrono descendente de tres bits. Las figuras 5-15 y 5-16 presentan los diagramas de tiempo obtenidos en simulaciones y se observa que difieren en un periodo o secuencia transitoria que depende del valor inicial que se le asigne a los flip flops.

La diferencia entre un contador ascendente o descendente radica en cual de las señales Q o Q' dispara los FF. Utilizando un interruptor o suiche digital controlado por una variable adicional (X) se puede implementar un contador cuyo conteo sea creciente con $X=1$ y decreciente para $X=0$. Esto es posible siempre y cuando X permita seleccionar cual de las señales, Q o Q', va hacia la entrada de reloj de los FF.

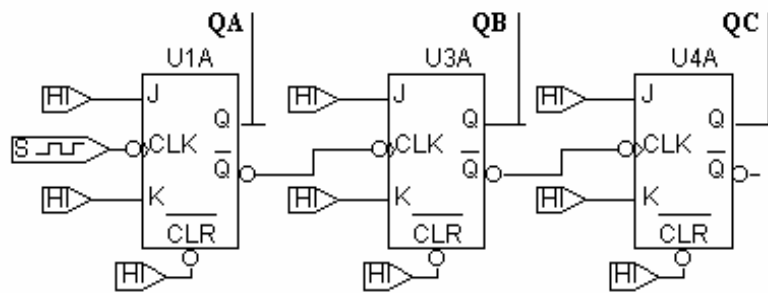


Figura 5-14 Contador binario tipo rizo decreciente

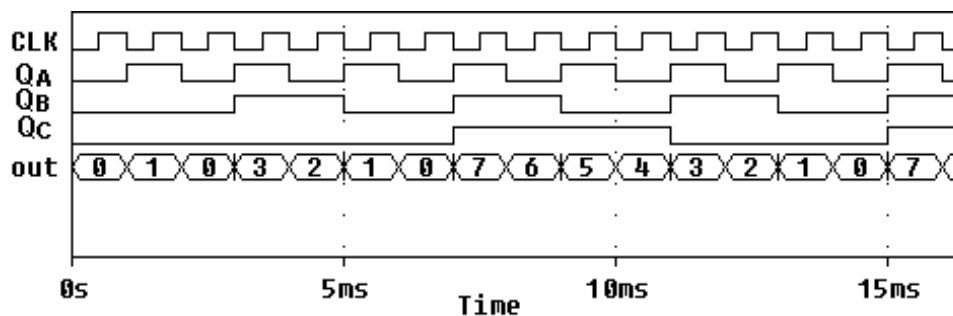


Figura 5-15 Diagrama de tiempos del contador de rizo decreciente

(con transitorio)

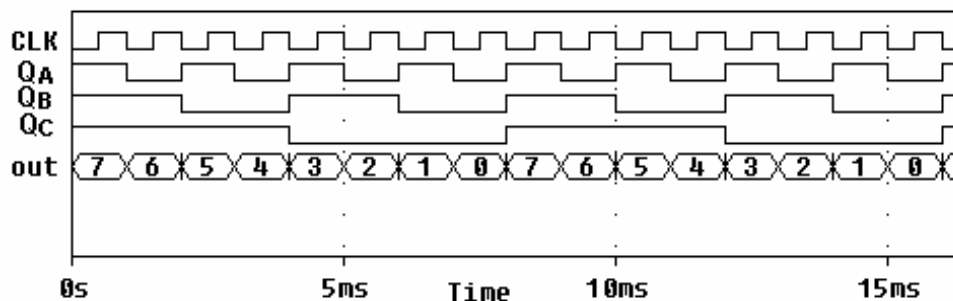


Figura 5-16 Diagrama de tiempos del contador de rizo descendente

(secuencia estable)

Divisores de frecuencia

El flip flop A en el contador de la figura 5-14 cambia de estado con cada pulso de reloj (figur 5-16), por lo que divide entre 2 la frecuencia del reloj de entrada. El flip flop B cambia de estado con cada dos pulsos de reloj, dividiendo la frecuencia entre 4.

Un contador binario natural de n etapas puede usarse con el fin de obtener, en la salida del flip flop más significativo, una señal cuya frecuencia es la de la entrada de reloj dividida por 2^n . Cuando se dice que un contador es de N estados, implícitamente se sabe que el mismo es un divisor por N de la frecuencia del pulso de reloj de entrada, es decir, la salida que corresponde al MSB tendrá una frecuencia de $1/N$ respecto a los pulsos de reloj.

Retardos de propagación

En la secuencia de estados de un contador tipo rizado pueden ocurrir estados erráticos. El retraso en la propagación de los flip flops crea estados falsos por pequeños periodos de tiempo como se muestra en la figura 5-17. Estos estados erróneos se presentan en casi todos los contadores de rizo y se deben a que el periodo de la entrada reloj es pequeño en comparación con los retardos (t_p) de los flip flops. Puede suceder entonces, que uno de los FF más alejado del reloj no haya cambiado cuando la señal reloj realice una nueva transición.

La frecuencia máxima de entrada de un contador asíncrono de N flip flops es :

$$\frac{1}{f_{clk}} > N(t_p)$$

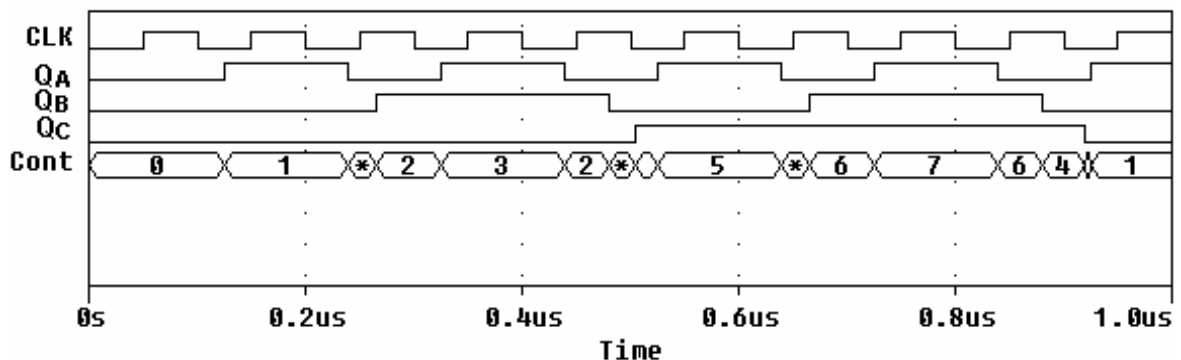


Figura 5-17 Diagrama de tiempos del contador con $T_p > T_{clk}$

Carga asíncrona de contadores

Un contador de rizo de modulo 2^n puede ser modificado con el fin de que ejecute una secuencia de conteo menor y así poseer un número de estados o $\text{Mod} < 2^n$. Esto se logra cargando o estableciendo en las salidas de los flip flops valores específicos (normalmente cero) a través de las entradas asíncronas. El procedimiento de diseño puede ser el siguiente: [6]

1. Encuentre el ultimo estado o valor N de la cuenta.
2. Encuentre el número n de flip flop requeridos como:

$$2^{n-1} \leq N+1 \leq 2^n$$

donde $N+1$ = longitud del ciclo de conteo.

3. Conecte los flip flops como contador tipo rizado.
4. Encuentre el número N en binario.
5. Realice la función lógica que permita la **carga asíncrona** del valor cero (restablecimiento) de los flip flops. Esto se puede hacer de dos formas:
 - a) Conecte todas las salidas de los flip flops para los cuales $Q = 1$ en la cuenta N como entradas de una compuerta lógica NAND o AND y conecte la salida a las entradas de reset del contador.
 - b) Conecte todas las salidas de los flip flops como entradas de una función lógica tal que la salida de la función es 1 (o cero) solamente en la cuenta N (minitérmino o maxitérmino). Conecte la salida de la función a las entradas de reset del contador.

Gran cantidad de contadores en circuitos integrados disponen de una línea de borrado común (reset). En la figura 5-18 se muestra un contador divisor entre 12 en el cual se usa una línea de borrado común como reset asíncrono.

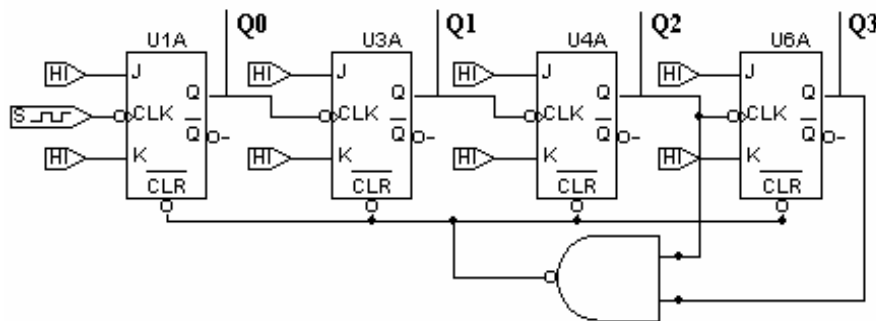


Figura 5-18 Contador de rizo con carga a cero asíncrona

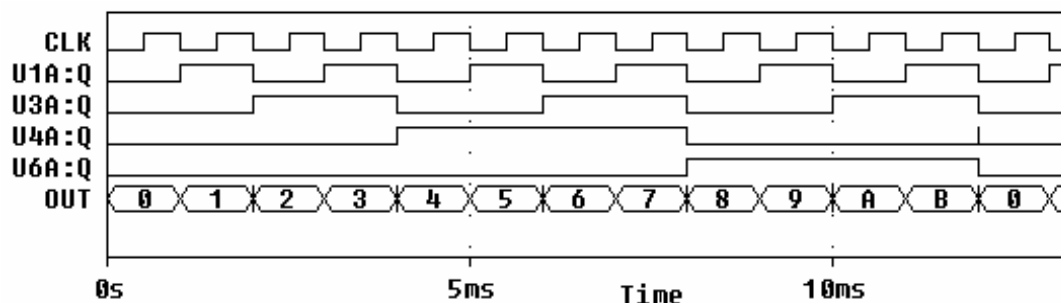


Figura 5-19 Diagrama de tiempos de la carga asíncrona

Cuando el contador alcanza su estado N, la salida del NAND toma el valor de cero lógico, restableciendo todos los flip flops a cero lógico. Aunque éste es el método más sencillo de restablecer contadores de tipo rizado no es considerado el más confiable. Si el tiempo de propagación de la entrada de borrado a la salida del flip flop varía en cada etapa, el pulso negativo de carga a cero podrá no ser lo suficientemente ancho para poner todos los flip flop en cero. Por otra parte, como se observa en la figura 5-19, se producen picos o glitches en la salidas (Q2 (U4A)) en el instante del borrado; dependiendo del uso dado a la salida estos picos pueden ser un problema.

5.2.4 CONTADORES SINCRONIZADOS

El contador de la figura 5-20 es denominado contador binario natural sincrónico de tres bits con carga sincronizada o paralelo, también conocido como “carga adelantado”, en la figura 5-21 se ilustra el diagrama de tiempos del contador.

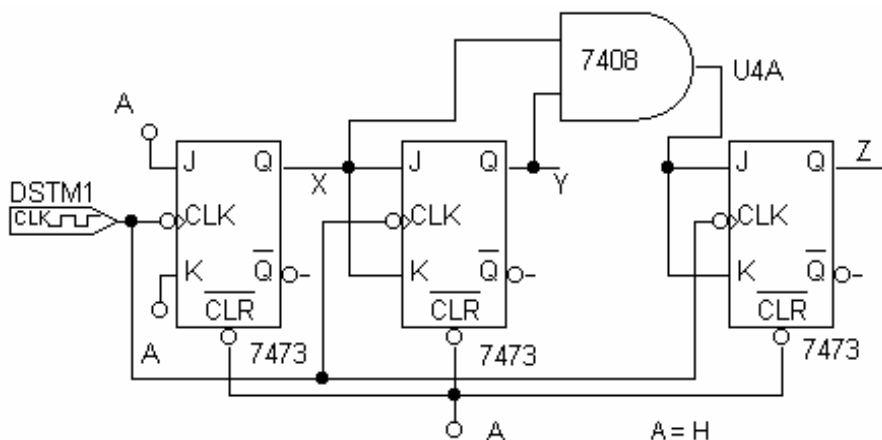


Figura 5-20 Contador binario natural sincronizado de 3 bits

El contador sincrónico elimina el problema de los retrasos acumulativos de los flip flops que se da en los contadores tipo rizado. La velocidad de la señal reloj está

limitada sólo por el retardo de un flip flop más el retraso introducido por los bloques de compuertas lógicas.

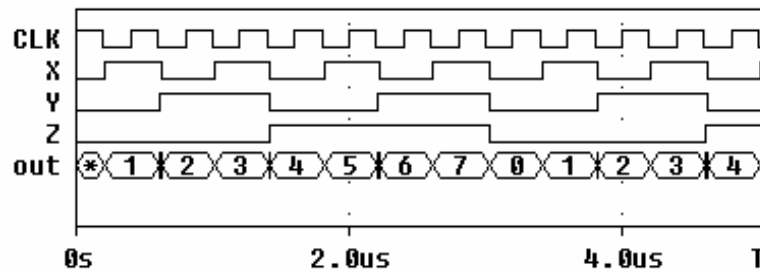


Figura 5-21 Diagrama de tiempos del contador sincronizado

De acuerdo con la tabla de estados (tabla 5-3), el flip flop X (LSB) cambia de estado con la ocurrencia de cada pulso de reloj puesto que $J_x = K_x = 1$. El flip flop Y cambia solo cuando, justo antes del flanco de activación, la señal X es alta ya que $J_y = K_y = X$. El flip flop QZ cambia si X e Y toman el valor máximo, es decir cuando $J_z = K_z = X Y = 1$. En un contador de 4 bits, la salida más significativa (W) debería cambiar de estado cuando todas las anteriores alcancen el máximo valor en la secuencia, es decir en $X=Y=Z=1$.

Jz	Kz	Jy	Ky	Jx	Kx	Z	Y	X	Z*	Y*	X*
0	0	0	0	1	1	0	0	0	0	0	1
0	0	1	1	1	1	0	0	1	0	1	0
0	0	0	0	1	1	0	1	0	0	1	1
1	1	1	1	1	1	0	1	1	1	0	0
0	0	0	0	1	1	1	0	0	1	0	1
0	0	1	1	1	1	1	0	1	1	1	0
0	0	0	0	1	1	1	1	0	1	1	1
1	1	1	1	1	1	1	1	1	0	0	0

Tabla 5-3 Tabla de transición del contador sincronizado

La frecuencia máxima del reloj de un contador sincrónico es:

$$\frac{1}{f_{clk}} \geq t_p + t_s$$

Donde: t_p = tiempo máximo de propagación de los flip flop y t_s = tiempo máximo de retardo de los bloques lógicos o compuertas.

Diseño de contadores sincronizados

El diseño de contadores síncronicos se dificulta más que el de los contadores tipo rizado, pero se simplifica mediante el uso adecuado de la tabla de transición y de los mapas de Karnaugh.

Podemos decir que el proceso de diseño es el inverso del análisis de circuitos sincronizados. En los contadores síncronos todos los flip flops son disparados al mismo tiempo. Tal como se indico en el análisis del contador síncronico, justo antes de cada pulso de reloj las entradas de cada FF del contador deben tener el nivel correcto para asegurar que cambie hacia el siguiente estado correcto. El proceso de diseño de un contador puede resumirse así: [2]

1. Determinar el número y tipo de flip flops así como la secuencia de conteo.
2. Dibuje la tabla de transición de estados mostrando en ella todos los posibles estados presentes Q_0, Q_1, Q_N junto con sus estados siguientes Q_0^*, Q_1^*, Q_{N+1}^* .
3. Por cada entrada de los flip flops (J , K, D, T) añada una columna más a la tabla de transición.
4. Por cada estado presente, indique los valores de cada una de las entradas de los flip flops que permite la transición hacia el estado siguiente. Esto se hace con base en la tabla de transición o en la ecuación de transición del flip flop.
5. Presente las entradas de los flip flops como funciones lógicas de los estados presentes u otras variables binarias independientes (ecuaciones de excitación).
6. Diseñe los circuitos lógicos que generarán las funciones lógicas.

Los sistemas de diseño asistido por computadora (C.A.D) utilizan las ecuaciones de transición de los FF para realizar el paso número cuatro. En un diseño sencillo, sin apoyo de herramientas de computación, es más conveniente usar la tabla de transición de los flip flops (tabla 5-4).

Transición en la Salida	Estado PRESENTE Q (N)	Estado SIGUIENTE Q (N+1)	J	K	D
$0 \rightarrow 0$	0	0	0	X	0
$0 \rightarrow 1$	0	1	1	X	1
$1 \rightarrow 0$	1	0	X	1	0
$1 \rightarrow 1$	1	1	X	0	1

Tabla 5-4 Tabla de transición de los flip flops JK y D

EJEMPLO 5-1

Diseñar un contador sincronizado binario de 3 bits que cuente del 0 al 5 (ambos inclusive) y que sea autocorregido al cero.

Solución:

Según las especificaciones dadas, el contador debe cumplir con el diagrama de transición de la figura 5-22.

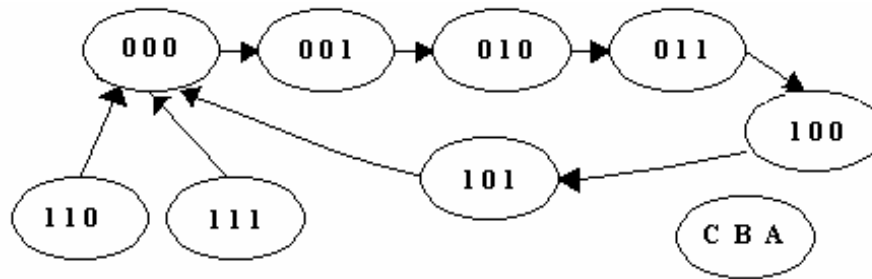


Figura 5-22 Diagrama de estados del contador (0) al (5)

Se nota que se requieren al menos 3 flip flops, digamos del tipo JK, para realizar la secuencia. La tabla de transición de tres FF cuyas salidas se denoten como C, B y A es:

C	B	A	C*	B*	A*
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	0

Tabla 5-5 Tabla de transición del contador 0 al 5 (ejemplo1-1)

Se deducen por cada estado presente los valores de cada una de las entradas JK necesarias para obtener el estado siguiente usando la tabla o ecuación de transición del flip flop JK. Se genera así la tabla 5-6.

						ACTUAL			SIGUIENTE		
JC	KC	JB	KB	JA	KA	C	B	A	C*	B*	A*
0	X	0	X	1	X	0	0	0	0	0	1
0	X	1	X	X	1	0	0	1	0	1	0
0	X	X	0	1	X	0	1	0	0	1	1
1	X	X	1	X	1	0	1	1	1	0	0
X	0	0	X	1	X	1	0	0	1	0	1
X	1	0	X	X	1	1	0	1	0	0	0
X	1	X	1	0	X	1	1	0	0	0	0
X	1	X	1	X	1	1	1	1	0	0	0

Tabla 5-6 Tabla de transición expandida del contador 0 al 5

Puesto que cada una de las entradas de los FF es función del estado presente, se obtienen de los mapas de Karnaugh de la figura 5-23.

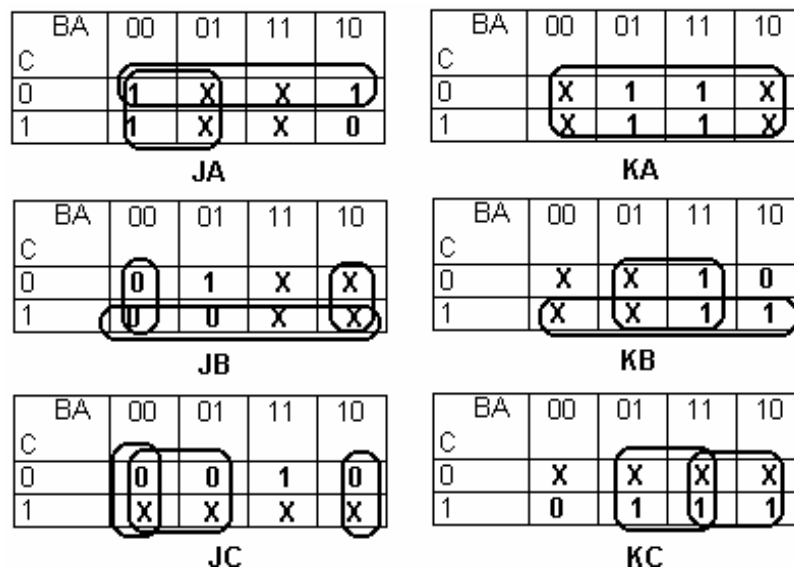


Figura 5-23 Mapas de las entradas JK del contador 0 al 5 (ejemplo 1-1)

De los mapas de Karnaugh se encuentran las funciones lógicas de excitación siguiente:

$$\begin{aligned}
 JA &= C' + B' & KA &= 1 \\
 JB &= C'A & KB &= C + A \\
 JC &= AB & KC &= A + B
 \end{aligned}$$

Por tanto, el método genera el circuito de la figura 5-24.

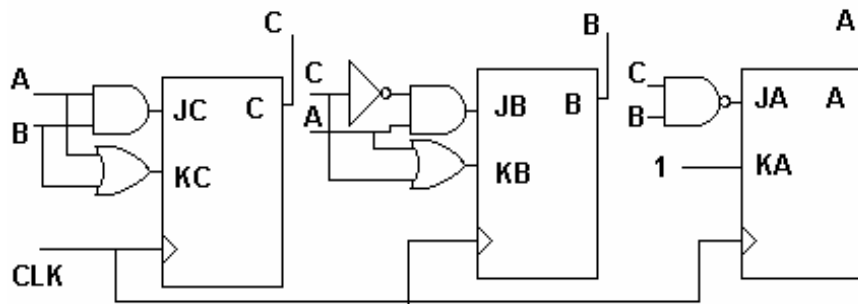


Figura 5-24 Diagrama lógico del contador 0 al 5

La frecuencia máxima del reloj de este contador síncrono esta dada por:

$$\frac{1}{f_{clk}} \geq t_p + t_s$$

Suponiendo que el tiempo de retardo para los flip flops es 50ns, y el bloque de compuertas tiene 25ns de retardo, la frecuencia máxima será de 10 MHz.

5.2.5 CONTADORES EN CIRCUITOS INTEGRADOS

En esta sección se pretende dar a conocer el significado, funciones y aplicaciones de las entradas y salidas que presentan los módulos contadores en circuitos integrados, tomando en cuenta aquellas que se encuentran con mayor frecuencia.

Los contadores en circuitos integrados se nombran de acuerdo al número de estados que poseen, código de las salidas, cantidad de bits y otras opciones que presentan. Están disponibles los contadores binarios, de décadas y BCD por sus muy variados usos y aplicaciones. Un contador MOD=10 se conoce como **contador de décadas**, es decir, siempre que un contador tenga 10 estados en su conteo, es un contador de décadas sin importar su secuencia. Ahora bien, si la secuencia corresponde a un conteo de 0 – 9 se conoce como **contador BCD**. Generalmente estos contadores se utilizan cuando los resultados se exhiben en decimal.

Generalidades

A continuación se explica la función de las entradas y salidas más comunes de los contadores en circuitos integrados, teniendo como referencia las que presentan dispositivos de integración en mediana escala (MSI) como el 74LS161, el 74LS163 y el 74HC191, en las figuras 5-25 y 5-26 se presentan los símbolos de estos circuitos. En la figura 5-27 se puede ver el diagrama de tiempos del 74HC191.

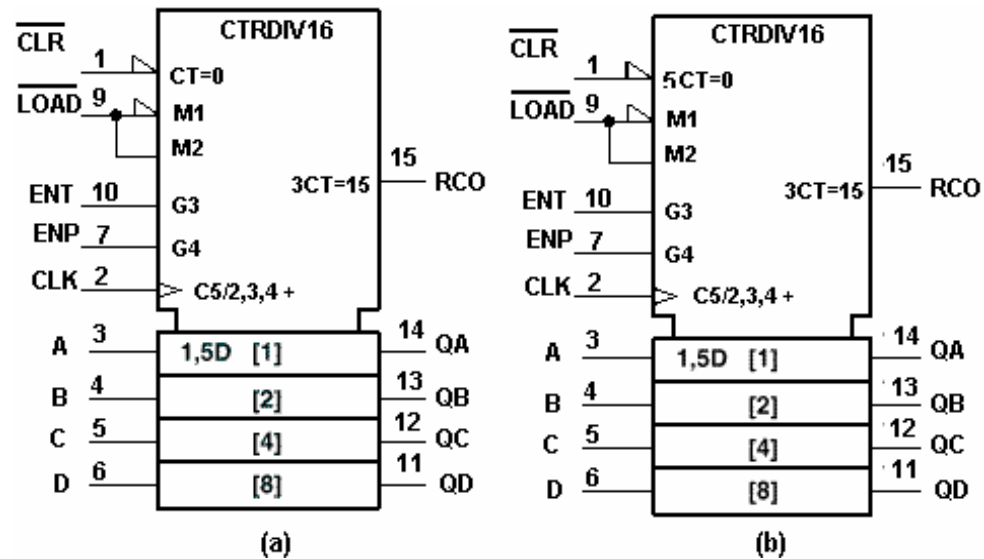


Figura 5-25 Diagrama del contador (a) 74XX161 (b) 74XXX163 *Fuente:* Texas Instruments Inc. Logic Selection Guide and Databook. 2/E, Texas Instruments Inc, Dallas,

1997

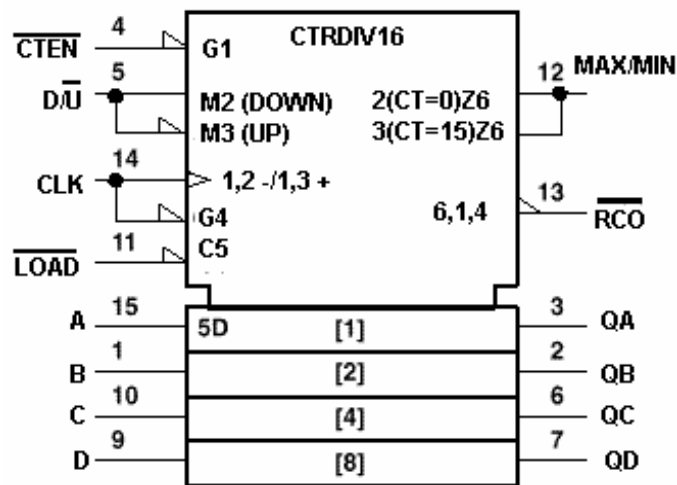


Figura 5-26 Símbolos de contadores 74XX191 *Fuente:* Idem

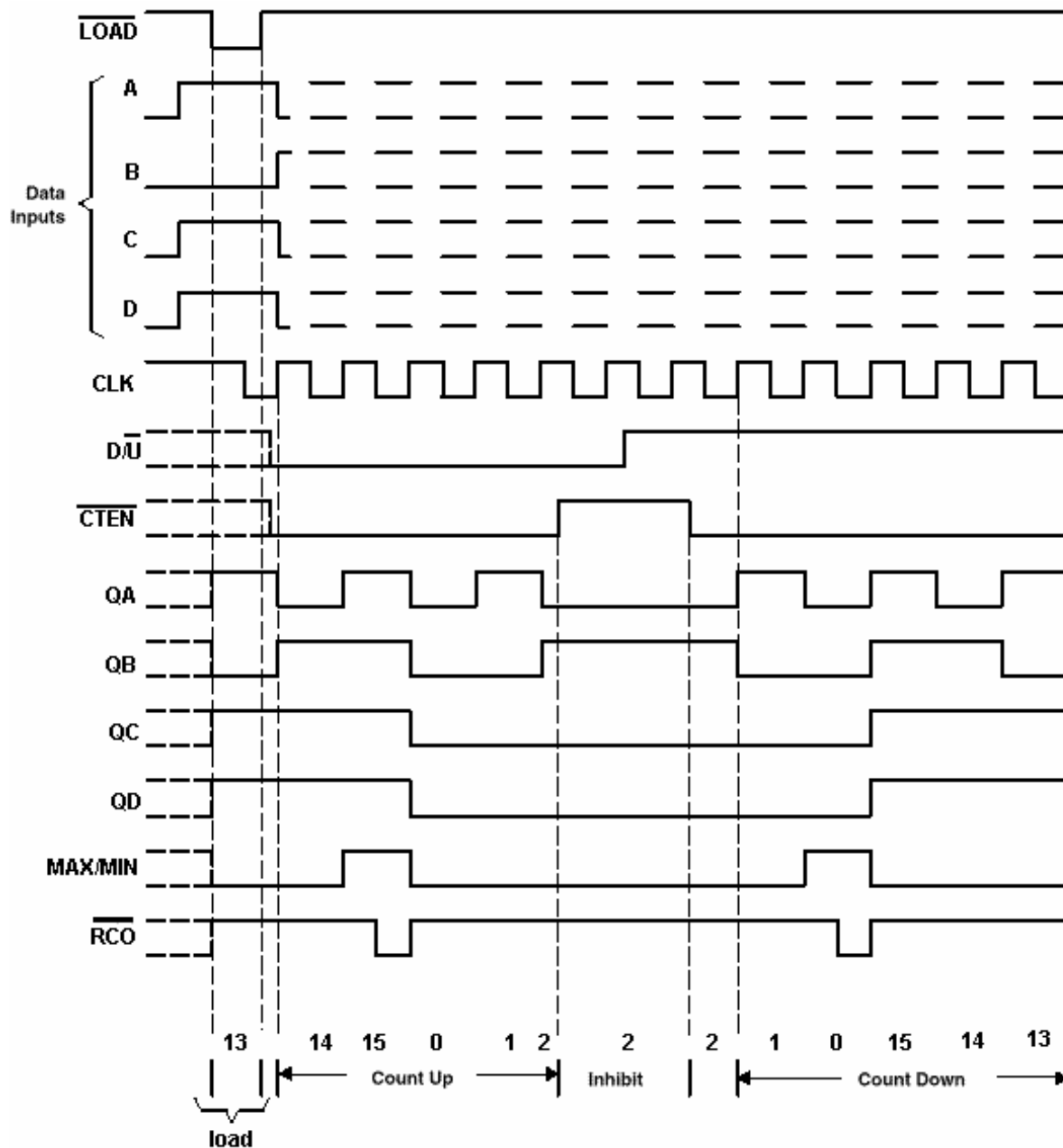


Figura 5-27 Diagrama de tiempos del contador 74HC191 *Fuente: Idem*

□ Entrada CLK o CP

La mayoría de los contadores en circuitos integrados presenta la entrada para la señal de reloj o disparo sincronizado identificada como CLK, CP ó C.

❑ **Salidas del contador**

Las salidas de los FF son frecuentemente denotadas como QD, QC, QB, QA , (siendo QA el bit LSB) o con un número de subíndice que se relaciona con el peso o posición del bit de la salida (Q_3, Q_2, Q_1, Q_0). Estas salidas pueden ser de tres estados en cuyo caso existirá una entrada **OE** (Output Enable) dedicada a la activación del tercer estado en las salidas.

❑ **Entrada CLEAR o MR**

Es muy común la entrada CLEAR, la cual al ser activada por nivel lleva la salida del contador o una parte de él a cero. La función de la entrada Master Reset (MR) es la misma de clear, esto es, lleva todas las salidas del contador a cero. La función reset puede estar sincronizada o no con la señal del reloj.

❑ **Entrada de habilitación EN (G)**

Los contadores en circuitos integrados presentan entradas de habilitación por nivel cuya activación permite el normal funcionamiento del contador. En caso de estar desactivada el contador se mantendrá en el ultimo estado que tuvo antes de ser deshabilitado.

❑ **Entradas de carga LOAD**

Los contadores en circuitos integrados, presentan entradas que permiten prefiarlos a un valor dado, ya sea en forma asíncrona (independiente de los pulsos de reloj) o síncrona (simultánea al flanco de transición del reloj). Éstas se denominan entradas de cargas paralelas o de preinicio y se identifican de manera similar a las salidas de los flip flops del contador (A, B, C, D). Cuando la entrada LOAD se activa la salida del contador toma los valores de carga; es decir, los valores en las entradas de carga paralela "pasan" o son copiados en la salida.

La preiniciación o carga asíncrona coloca la carga en la salida independientemente del estado del reloj. En la carga síncrona, con la entrada LOAD activa, los valores pasarán a la salida en el flanco de activación del contador.

❑ Entradas UP (down)

Algunos contadores tienen la capacidad de realizar tanto conteo ascendente como descendente, de acuerdo a como estén activada(s) la(s) entrada(s) UP (down).

❑ Salidas Max/Min y RCO

Estas salidas permiten la interconexión con otros contadores para expandir el conteo aumentando el número de estados o bits al conectar varios contadores. La figura 5-27 muestra las salidas Max/Min y RCO (ripple carry output) del 74HC191.

En este circuito integrado, la salida Max/Min se activa cuando el contador alcanza el máximo (mínimo) valor en sus salidas (QD, QC, QB, QA) para un conteo ascendente (descendente). La salida RC se activa cuando el contador alcanza el máximo (mínimo) valor en sus salidas y la señal de reloj está en nivel bajo durante un conteo ascendente (descendente). Estas señales pueden diferir de un C.I. contador a otro.

Interconexión de contadores

Cuando la cantidad de números a exhibir o contar requiere el uso de dispositivos con mayor número de bits que los disponibles en el mercado, es necesario expandir o interconectar varios módulos o circuitos integrados contadores. Los contadores pueden así conectarse de manera **asíncrona**, como en la figura 5-28. Sin embargo, como esta interconexión tiene los mismos problemas de velocidad que los contadores asíncronos, los fabricantes de circuitos integrados contadores han diseñado éstos con facilidades que permiten su interconexión de manera **síncrona**, estas facilidades son las salidas Max/Min y RCO así como las entradas de habilitación ENP y ENT entre otras.

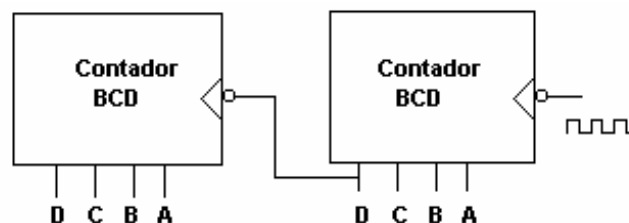


Figura 5-28 Interconexión asíncrona de contadores

El contador 74ALS163

Este es un circuito contador binario de 4 bits de alta velocidad síncrono. Presenta preiniciación o carga síncrona y una construcción que permite expandir el conteo mediante la interconexión con otros 74ALS163. El contador tiene una entrada Master Reset (CLR) síncrona; la cual estando activa establecerá cero (0) en la salida en el pulso o flanco de reloj.

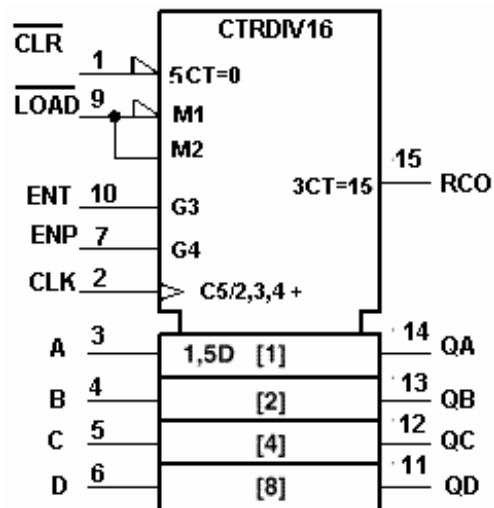


Figura 5-29 Símbolo del 74ALS163 Fuente: Idem

Como se muestra en la figura 5-29, este integrado tiene 16 pines con las siguientes funciones:

- LOAD o PE: Entrada paralela de habilitación (activa en bajo).
- D, C, B, A: Entradas de datos paralela o datos de carga.
- ENP: Entrada paralela de habilitación.
- ENT: Habilitador Total.
- CP o CLK: Entrada de reloj activo por flanco de subida.
- QD - QA: Salidas paralelas.
- RCO: terminal de salida para expansión.

La tabla 5-7 corresponde a la tabla de funcionamiento del circuito, mientras que la figuras 5-30 presenta el diagrama lógico. En la figura 5-31 el fabricante muestra el diagrama de tiempos del 74LS161 y el 74LS163, el funcionamiento del clear o reset del 74LS163 está sincronizado con el reloj mientras que en el 74LS161 el clear ocurre de manera asíncrona.

CLR	LOAD	ENP	ENT	QD	QC	QB	QA	MODO
L	X	X	X	L	L	L	L	RESET
H	L	X	X	D	C	B	A	CARGA
H	H	X	L	SIN CAMBIO				INHIBIDO
H	H	L	X	SIN CAMBIO				INHIBIDO
H	H	H	H	CONTEO				CONTEO

Tabla 5-7 Tabla de funcionamiento del 74ALS163 *Fuente: Idem*

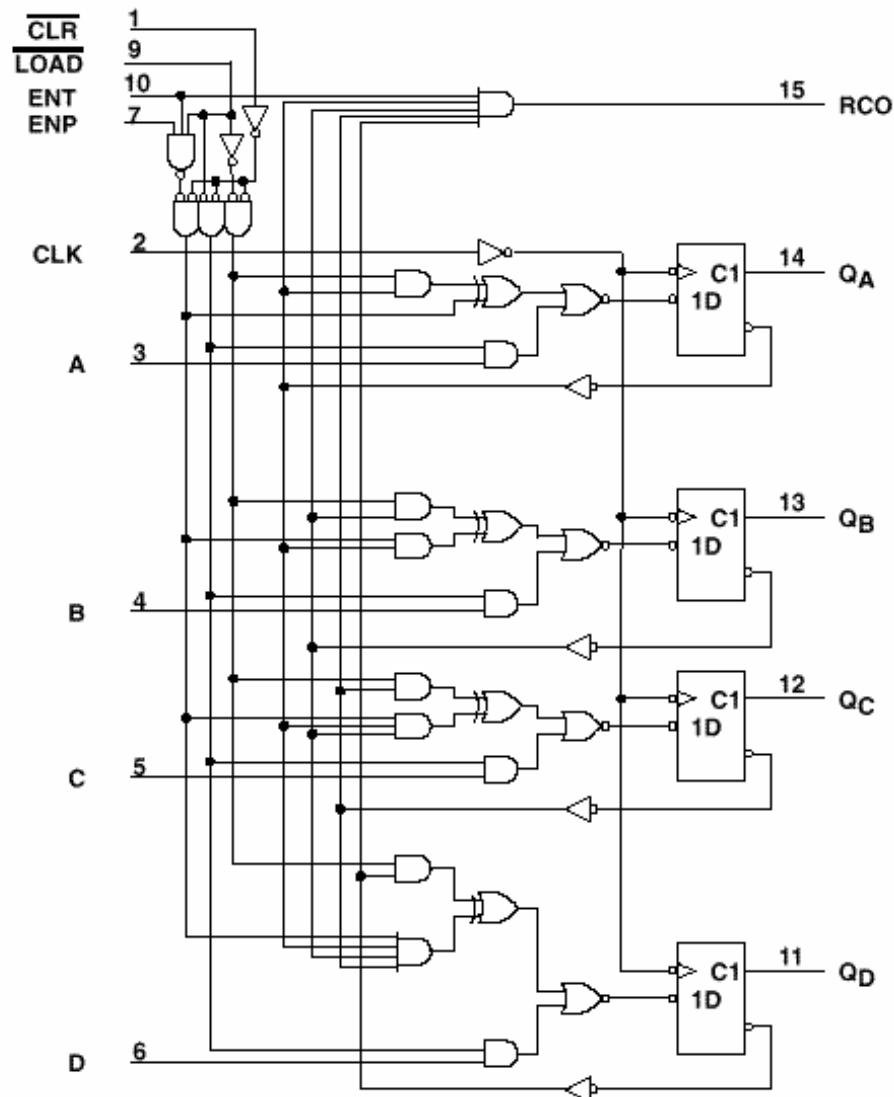


Figura 5-30 Diagrama lógico del 74ALS163 *Fuente: Idem*

En el 74ALS163 todos los cambios en las salidas Q ocurren de manera sincronizada con la transición positiva de la señal de reloj. Cuando LOAD está bajo y en el momento que ocurra el flanco del reloj, el contador copiará los datos de las entradas de

carga en las salidas. Obsérvese que ENT deshabilita tanto el conteo como la salida RCO. ENP y ENT se pueden usar para inhibir la secuencia de conteo.

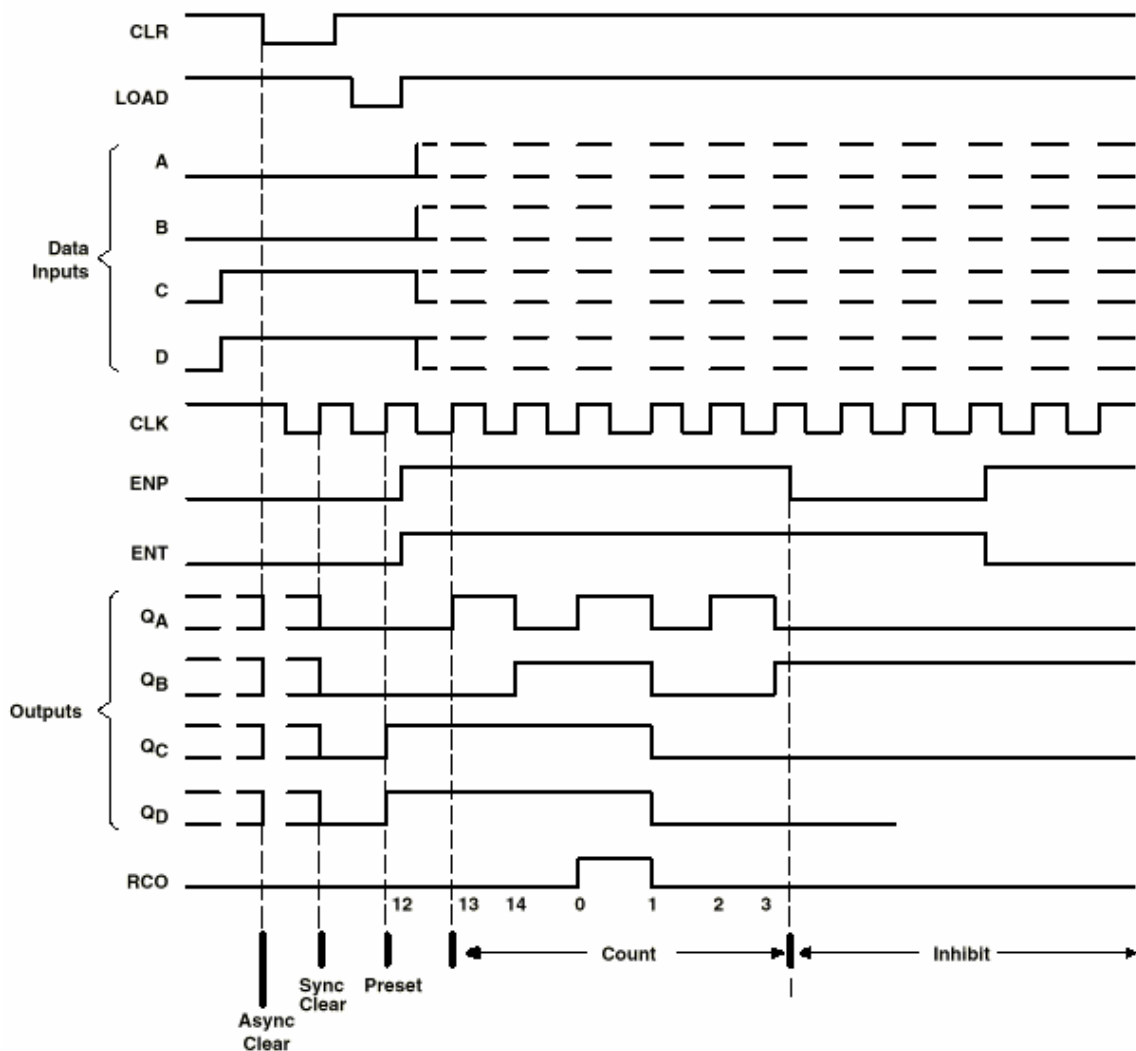


Figura 5-31 Diagrama de tiempos del 74ALS161 y 74ALS163 Fuente: Idem

❑ Conexión MOD < 16

El 74ALS163 puede ser cargado en paralelo cuando la señal de carga (LOAD) está en cero lógico. Tanto la operación de carga como la de borrado (CLEAR) son síncronas con el reloj. Usando esta característica, el contador puede conectarse para que funcione como divisor o contador programable. Prefijando cualquier número, en las entrada de datos de carga, se puede lograr que la secuencia de conteo vaya desde ese valor en la carga hasta la cuenta máxima o hasta otro valor determinado por una función lógica específica. Este proceso es parecido al usado en circuitos contadores

con $MOD < 2^n$ usando carga asíncrona; sin embargo, la operación de carga sincronizada elimina el problema de picos (spikes) en las salidas.

En la figura 5-32 se ilustra la conexión del contador para cargar el valor cero cuando las salidas alcancen el valor QA=1 y QB=1, lo cual ocurre en el decimal 9.

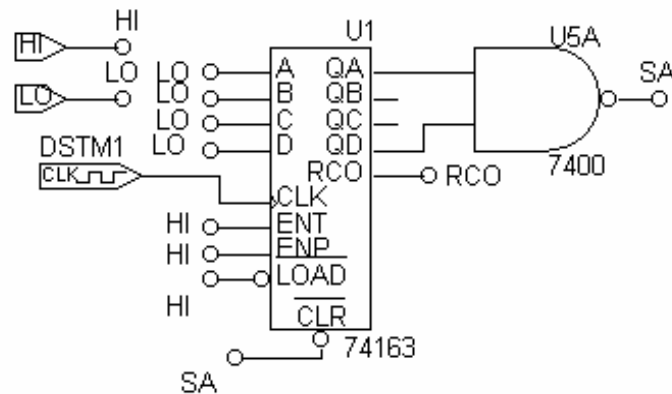


Figura 5-32 Funcionamiento del 74ALS163 como contador 0 hasta 9

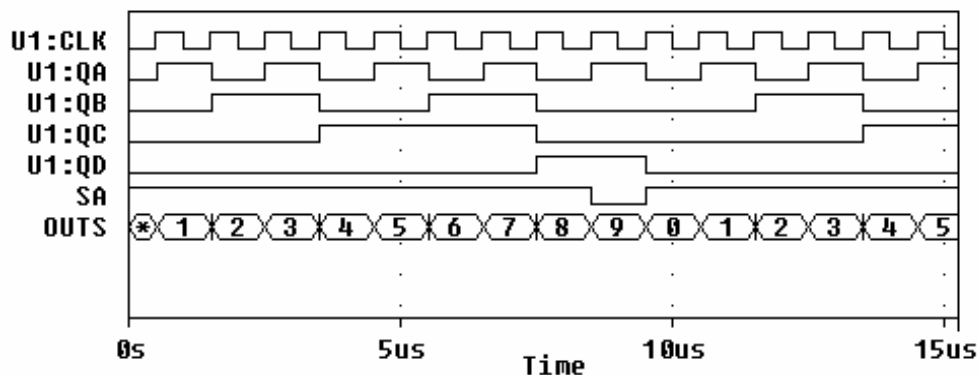


Figura 5-33 Diagrama de tiempos del contador 0 hasta 9

Es por esto, tal como se ve en la figura 5-33, que el contador seguirá la secuencia del 0 al 9 tal como se presenta en el diagrama de la figura 5-34.

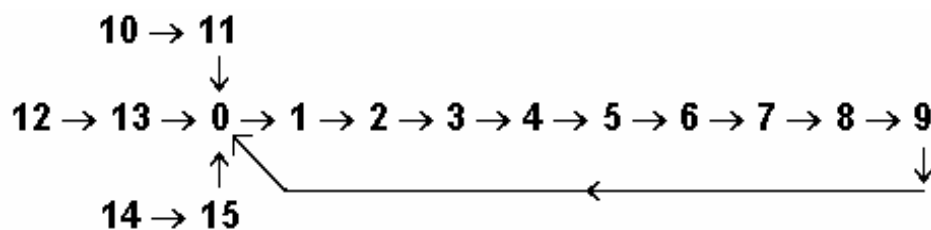


Figura 5-34 Diagrama de transición del circuito de la figura 5-32

❑ **Interconexión de contadores (expansión)**

De acuerdo a su estructura interna, se distinguen dos tipos de interconexión de circuitos integrados en contadores síncronos (figura 5-35):

- El modo ripple carry.
- El carry-look-ahead.

Las salida Ripple Carry (RCO) y las entradas de habilitación ENT y ENP facilitan la expansión o conexión en cascada de varios contadores. La entrada ENT además de deshabilitar el contador permite inhibir la salida RCO. La salida RCO produce un pulso positivo cuando el contador alcanza el máximo. Este pulso puede usarse para habilitar otras etapas de contadores.

En la figura 5-35 se muestran cuatro 74ALS163 interconectados en modo Ripple Carry y en modo Carry-Look-Ahead; los sistemas así formados son contadores síncronizados de 16 bits. Las facilidades de expansión permiten la conexión de múltiples contadores. En estos circuitos, cada contador es habilitado para cambiar ante un flanco del reloj cuando el contador o contadores menos significativos a él alcanzan su máximo valor.

El circuito modo ripple carry posee un límite en la frecuencia de la señal de reloj debido a que en altas frecuencias se produce un pico o glitch en la salida RCO como consecuencia de los retardos de propagación en los circuitos internos de los contadores. La forma de expansión carry-look-ahead mostrada en la figura 5-35 (b) permite la conexión de múltiples contadores para trabajar a una frecuencia de reloj mayor que en el modo ripple carry.

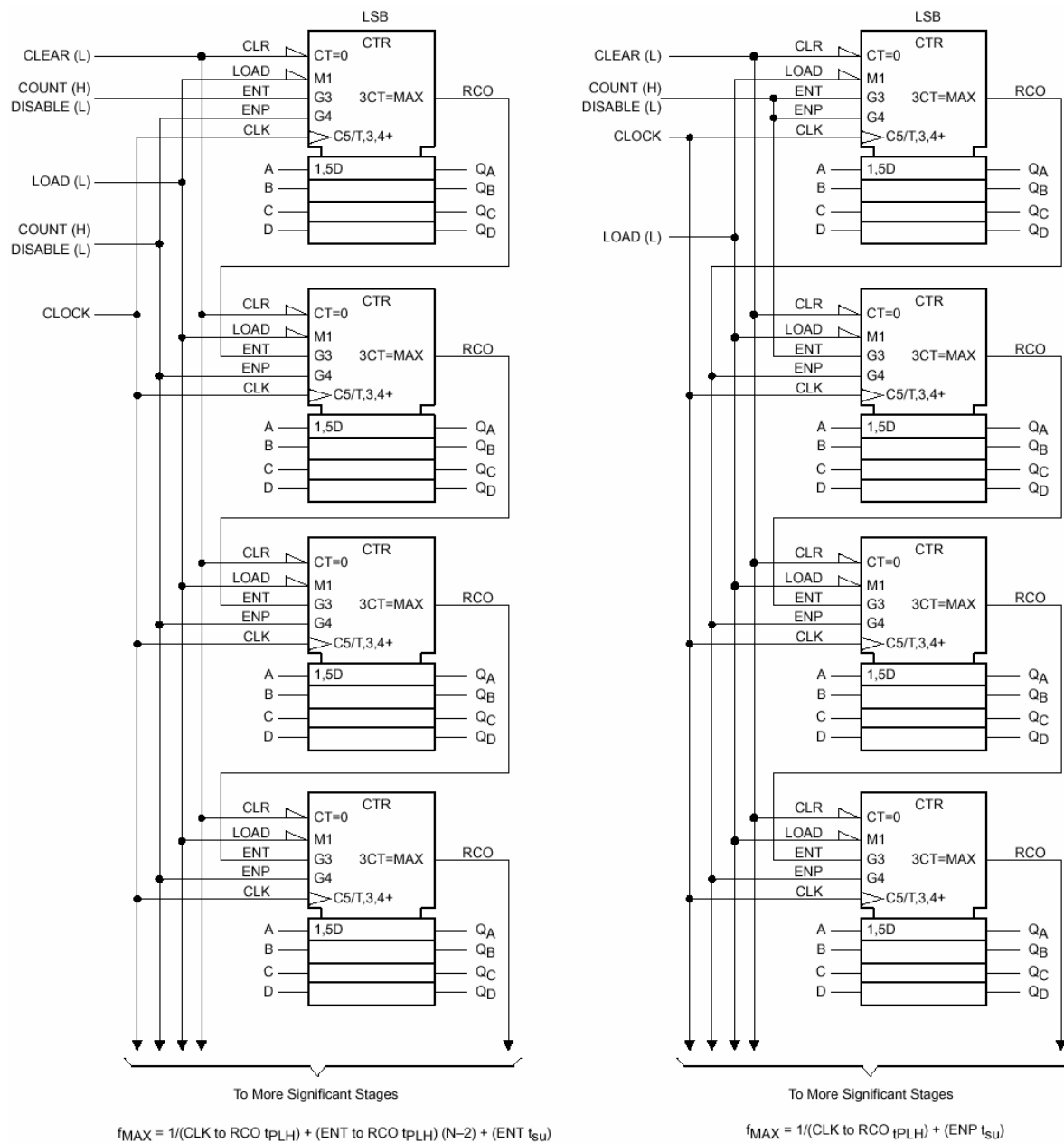


Figura 5-35 Expansión del 74ALS163 (a) Ripple Carry (b) Carry-Look-Ahead

Fuente: Logic Selection Guide and Databook. 2/E, Texas Instruments Inc, Dallas, 1997

El contador 74HC191

El 74HC191 es un contador sincronizado binario natural de 4 bits, ascendente o descendente, diseñado para carga en paralelo asíncrona.

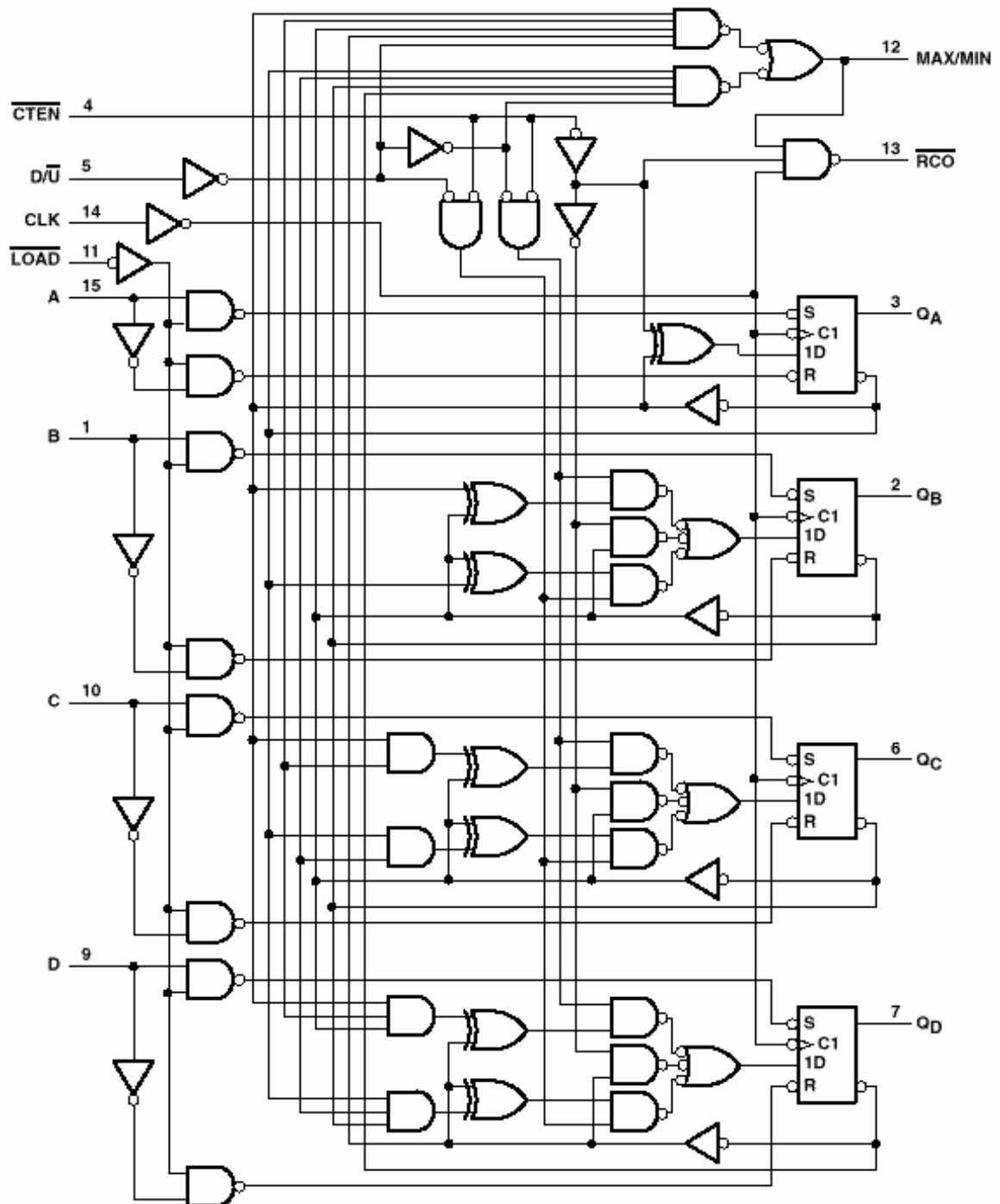


Figura 5-36 Diagrama lógico del contador 74HC191 Fuente: Idem

En el diagrama lógico (figura 5-36) muestra que los cuatro flip flops cambian de estado en la transición positiva del reloj. La dirección del conteo es determinada por la entrada de control D/U', con cero lógico el contador cuenta de forma creciente mientras que con uno lógico lo hace en forma descendente. La entrada de habilitación (CTEN) permite que el contador sea inhibido, un cero lógico habilita el contador. El contador puede ser cargado en paralelo cuando la señal de carga (LOAD) está en cero lógico. La operación de carga es asíncrona.

□ Interconexión de contadores (expansión)

El 74HC191 ha sido diseñado con el fin de minimizar la lógica externa cuando se requiere conectarlo con otros contadores (conexión en cascada) y así obtener un circuito contador de mayor número de bits. En este caso, el dispositivo está provisto de dos salidas; la salida “máxima” o “mínima” MAX/MIN y la salida Ripple Carry (RCO). La salida MAX/MIN toma el valor de 1 si en las salidas el contador tiene el número 15 y está contando en forma ascendente o si llega a 0 en el conteo decreciente.

Los contadores 74HC191 pueden ser interconectados de tres formas o modos diferentes, tal como se presenta en las figuras 5-37 y 5-38. [7]

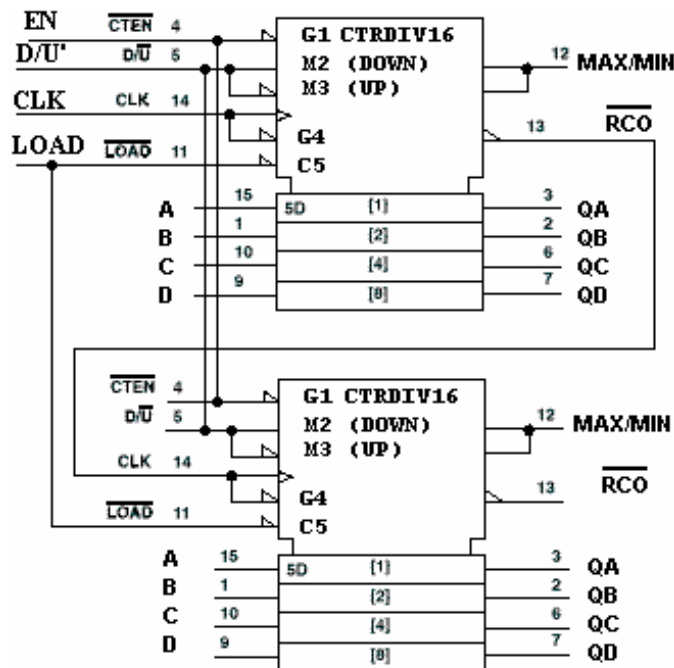


Figura 5-37 Conexión asíncrona de dos 74HC191

En la figura 5-37 se muestra la expansión asíncrona. En esta interconexión cada contador es sincrónico en sí mismo, pero el sistema entre las dos etapas es asíncrono puesto que el contador más significativo cambia en el flanco de RCO.

Dado que la señal RC es generada mediante una NAND entre las señales de reloj y la salida máxima, el pulso de reloj debe mantenerse lo bastante ancho para habilitar correctamente al siguiente contador. En la conexión asíncrona el pulso de conteo debe propagarse a través de toda la lógica de cada circuito integrado, reduciendo la máxima frecuencia de conteo por cada contador adicional en la conexión en cascada.

La figura 5-38 ilustra los otros dos modos de expansión del 74HC191, en ambos, cada contador será habilitado cuando todos los contadores menos significativos lleguen al máximo.

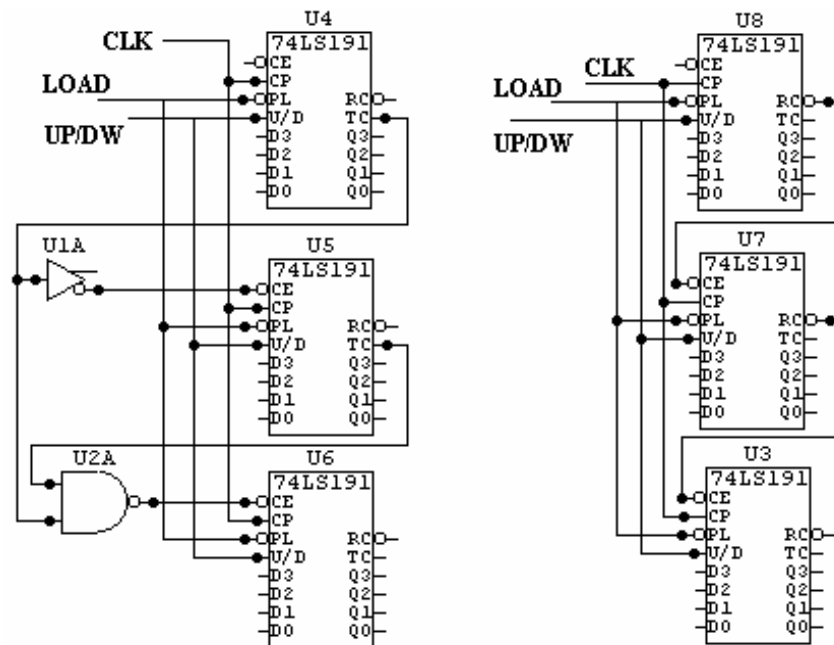


Figura 5-38 Expansión del 74XX191 (a) De alta Frecuencia (b) Ripple Carry

❑ Conexión MOD < 16

El 74HC191 también pueden usarse como divisor o contador programable. Utilizando las entradas de datos de carga del contador se puede lograr que la secuencia de conteo vaya desde ese valor en la carga hasta la cuenta máxima o hasta otro valor determinado por una función lógica específica.

Circuito integrado 74ALS193

El 74ALS193 es un contador binario natural (MOD=16) síncrono de 4 bits con capacidad de conteo en modo ascendente o descendente. Posee separadas las entradas de reloj de conteo ascendente y descendente. El símbolo y diagrama lógico se muestran en las figuras 5-39(a) y 5-40.

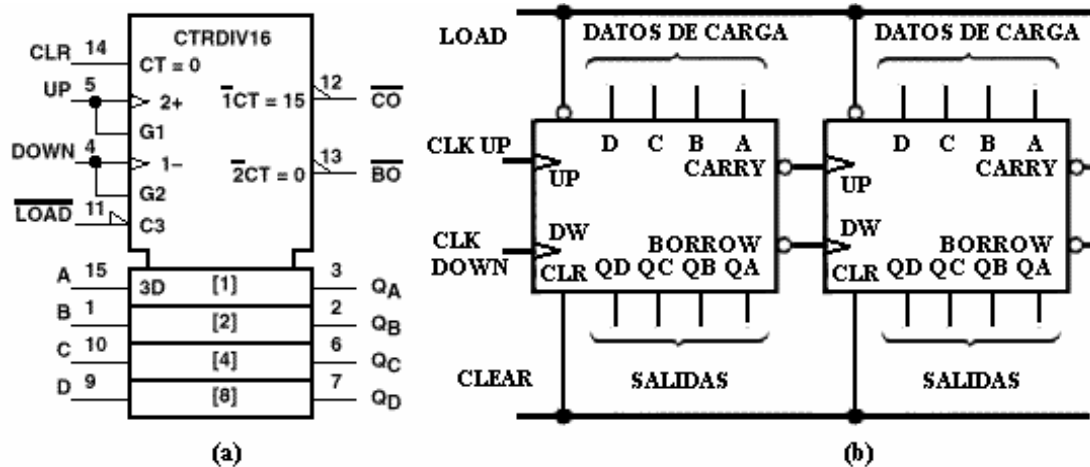


Figura 5-39 C. I. 74ALS193 (a) Símbolo (b) Expansión *Fuente:* Texas Instruments Inc. Logic Selection Guide and Databook. 2/E, Texas Instruments Inc, Dallas, 1997

Las salidas cambian de estado en sincronía con el flanco positivo del pulso de reloj. Presenta entradas de preset o carga, las cuales también permiten usar el circuito integrado como contador programable. Tanto la función de carga como la de borrado son asíncronas e independientes de la señal de reloj.

El contador posee dos entradas de reloj, Up y DOWN. Una transición positiva en la entrada UP permite el incremento del conteo mientras que una transición positiva en la entrada DOWN efectúa el conteo de manera descendente. Para poder contar, es necesario que la entrada de reloj sin uso esté en alto (ver figura 5-40).

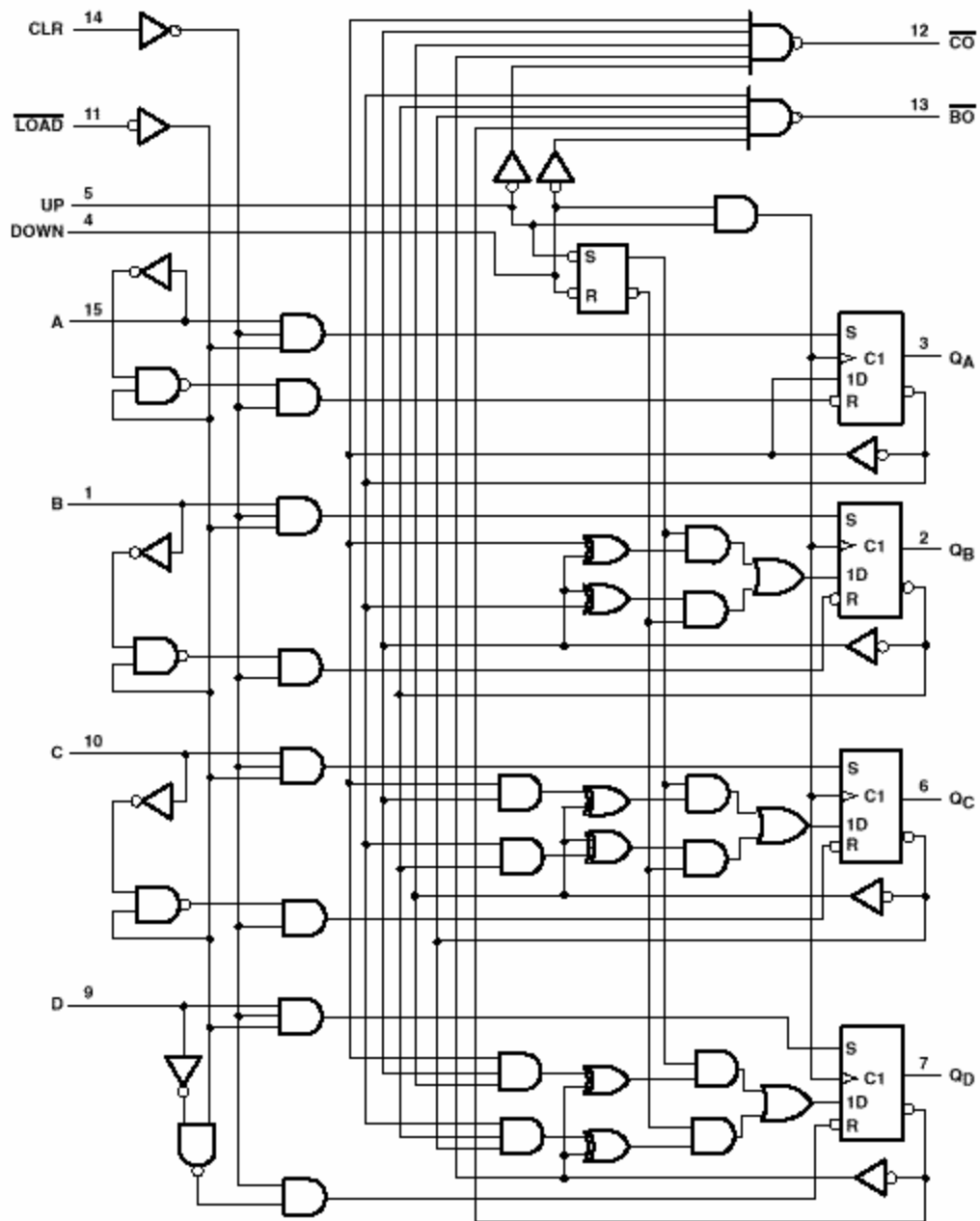


Figura 5-40 Diagrama lógico del 74ALS193 Fuente: Idem

El C.I. dispone de dos salidas Carry y Borrow (CO, BO) activas en bajo. Cuando el circuito llega a su conteo máximo (mínimo) la salida CO (BO) se activará cuando la señal de reloj pase a ser baja (figura 5-41). Estas salidas pueden ser usadas como señales de entrada para otro contador en un circuito de múltiples etapas como en la figura 5-39 (b).

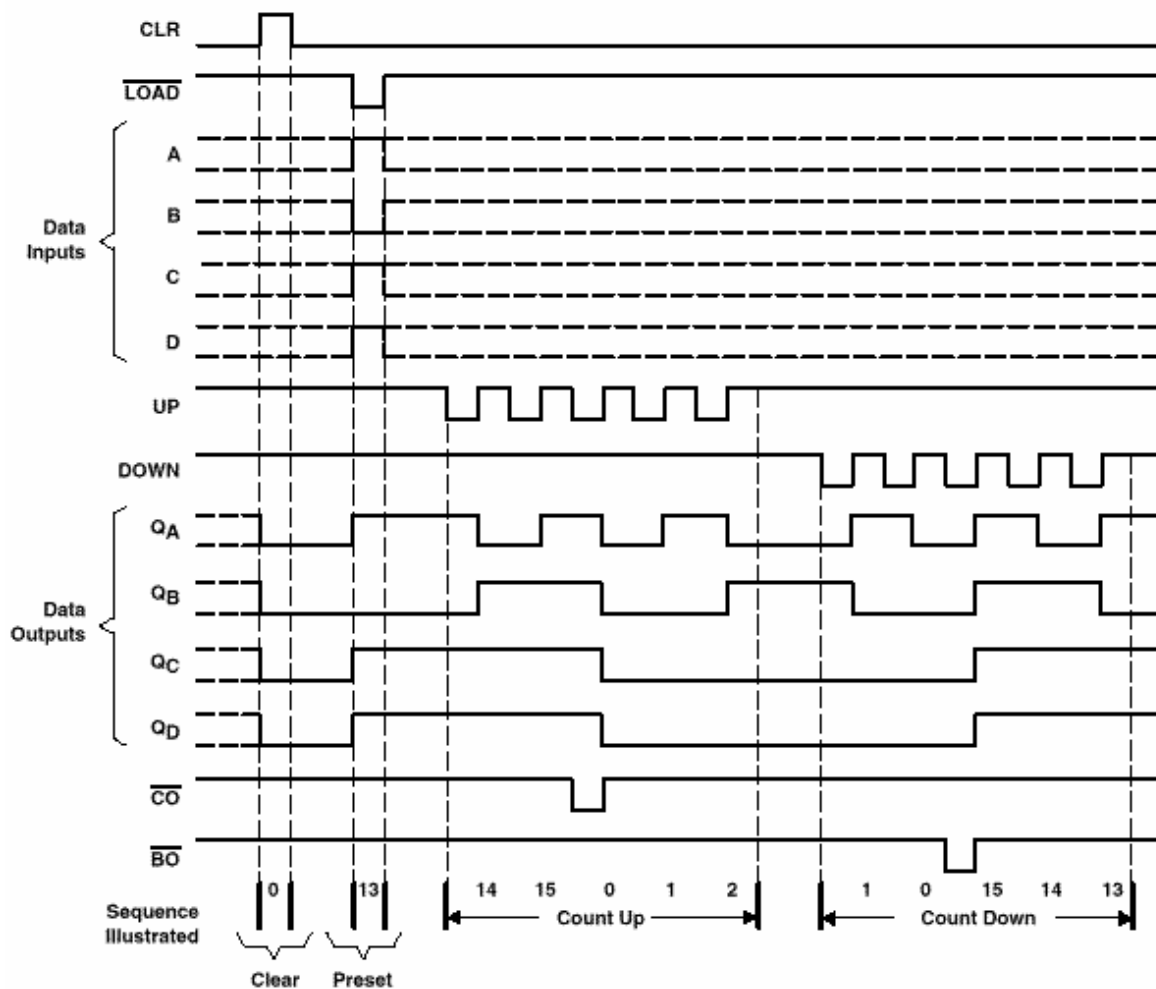


Figura 5-41 Diagrama de tiempos del 74ALS193 Fuente: Idem

El 74ALS193 también pueden usarse como divisor o contador programable. Utilizando las entradas de datos de carga del contador se puede lograr que la secuencia de conteo vaya desde el valor en la carga hasta un valor prefijado como en el caso de los circuitos integrados anteriores.

Divisores de frecuencia con C.I.

La opción de carga de los contadores se utiliza frecuentemente para establecer una secuencia de conteo específica disminuyendo el número de estados o modulo del contador. De esta manera, al establecer una cantidad de estados también se fija la relación entre la frecuencia del reloj o entrada y cualesquiera de las salidas. En la figura 5-42 se muestra una forma de programar el 74ALS163 tal que realice la secuencia o conteo del 5 al 13. Las figuras 5-43 y 5-44 presentan el diagrama de tiempos y la se-

cuencia de transición de este circuito. Obsérvese que la frecuencia de la señal QD2 es 1/9 de la frecuencia de la señal de reloj, por tanto estamos ante un divisor de frecuencia por nueve.

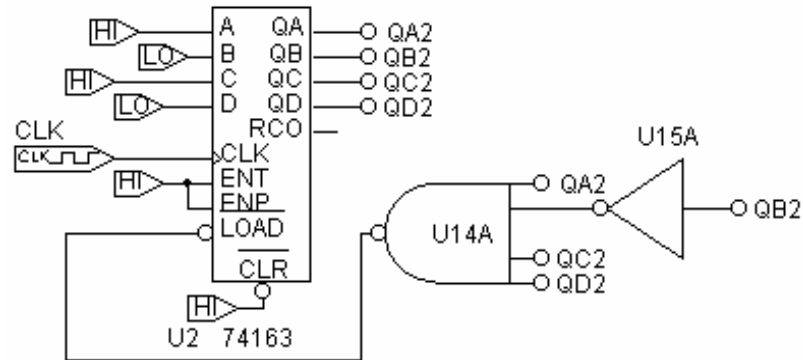


Figura 5-42 C. I. 74ALS163 como contador 5 hasta 13

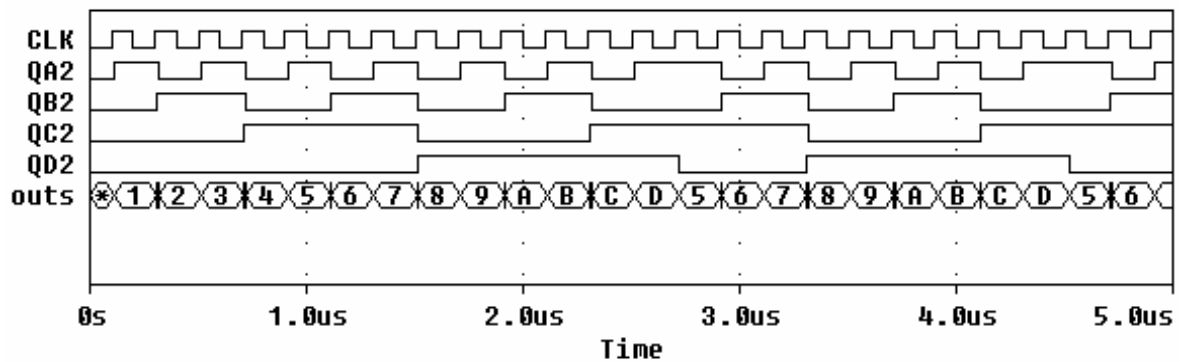


Figura 5-43 Diagrama de tiempos del contador 5 hasta 13

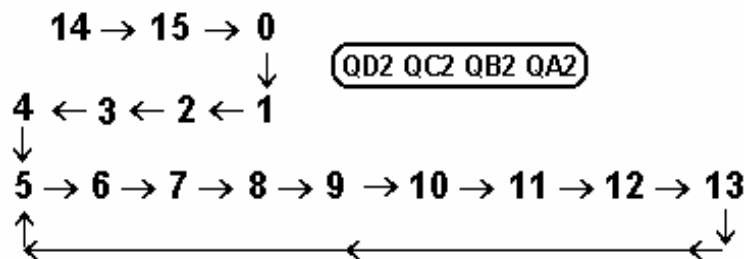


Figura 5-44 Diagrama de transición del contador 5 hasta 13

En el diagrama de tiempos de la figura 5-45 se puede observar con más detalle que las formas de onda de las salidas QB2 y QA2 no poseen un ciclo de trabajo uniforme lo cual las hace inadecuadas como señales de reloj.

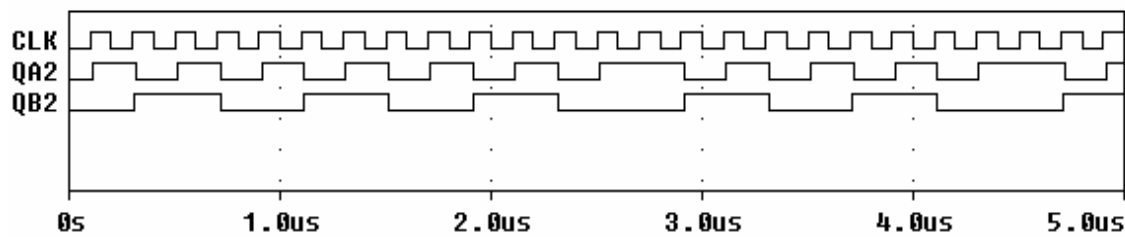


Figura 5-45 Salidas QA2 Y QB2 del contador 5 hasta 13

La tabla 5-8 corresponde a la secuencia estable del contador, se observa que por cada nueve flancos positivos (o negativos) de entrada o nueve periodos de la señal de reloj, la salida QD2 tiene un periodo completo. Se concluye nuevamente que la frecuencia de la señal QD2 es 1/9 de la frecuencia de la señal de reloj. Es de notar que QD2 presenta tres periodos de reloj en estado bajo por cada seis en estado alto lo que normalmente se denomina como ciclo de trabajo 6:9 (66,7%).

FLANCO CLK ↑	QD2	QC2	QB2	QA2	DEC
1	0	1	0	1	5
2	0	1	1	0	6
3	0	1	1	1	7
4	1	0	0	0	8
5	1	0	0	1	9
6	1	0	1	0	10
7	1	0	1	1	11
8	1	1	0	0	12
9	1	1	0	1	13
1	0	1	0	1	5
2	0	1	1	0	6

Tabla 5-8 Secuencia del contador 5 hasta 13

Un método que permite obtener relaciones de división de frecuencia, donde la secuencia de conteo no es significativa, es utilizar dos contadores en cascada. Un contador se programa para dividir entre algún número N1 (2, 3, 4, ..., 15) mientras que el segundo contador divide entre algún número entero N2, de esta forma la división resultante es el producto de la división hecha por cada contador.

5.3 COMPARADORES DIGITALES

Muchas aplicaciones requieren comparar magnitudes de dos números. Por ejemplo, en sistemas de control puede ser deseable conectar o desconectar un equipo

cuando un parámetro físico excede cierto valor, en cálculos numéricos puede ser necesario tomar una acción si un resultado está dentro de un cierto margen de error.

El comparador digital compara un número binario A de n bits con otro número binario B de n bits y determina si $A = B$, $A < B$ o $A > B$.

Los símbolos lógicos de un comparador son los de la figura 5-46, el comparador con entradas de expansión es el de la figura 5-46 (b) y su la tabla de funcionamiento se presenta en la de la tabla 5-9.

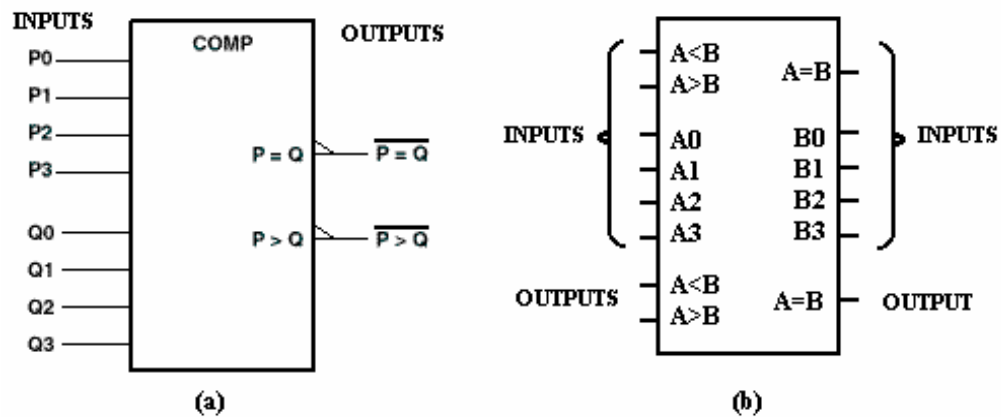


Figura 5-46 Comparador digital (a) Símbolo ANSI/IEEE (b) C.I. 74C85 Fuente: Idem

ENTRADAS				ENTRADAS DE EXPANSION			SALIDAS		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	L	H	H	L	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	H	H	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	L	L	L

Tabla 5-9 Tabla de la verdad del comparador digital Fuente: Idem

Sin tener en cuenta las entradas para expansión o de cascada, se observa que el bit menos significativo (LSB) lleva el subíndice 0, mientras que el bit más signifi-

cativo (MSB) lleva el subíndice 3. Nótese en la tabla de funcionamiento que el MSB es prioritario con respecto a los de rango inferior, como lo demuestran las condiciones no importa (X). Por ejemplo, si $A_3 > B_3$ la salida $A > B$ estará ALTA sin importar cómo estén las demás entradas. Si los bits MSB son iguales el bit más significativo siguiente toma la prioridad para determinar el nivel de la salida. Por ejemplo, si $A = 1010$ y $B = 1001$, se ve que $A_3 = B_3$ y $A_2 = B_2$ entonces sólo se comparan los dos primeros bits que no sean iguales, $A_1 = 1$ y $B_1 = 0$. Por tanto, ya no importa la comparación de A_0 y B_0 ya que $A_1 = 1 > B_1 = 0$ resultando $A > B$.

En la tabla de funcionamiento se nota que no importa los valores que asuman las entradas de expansión, excepto cuando las entradas que se comparan son iguales. Las entradas de cascada deben ser $A = B = \text{ALTA}$, $A < B = \text{BAJA}$ y $A > B = \text{BAJA}$.

interconexión de comparadores

A veces es necesario conectar varios comparadores de forma que se puedan comparar mayor cantidad de bits que usando un solo comparador.

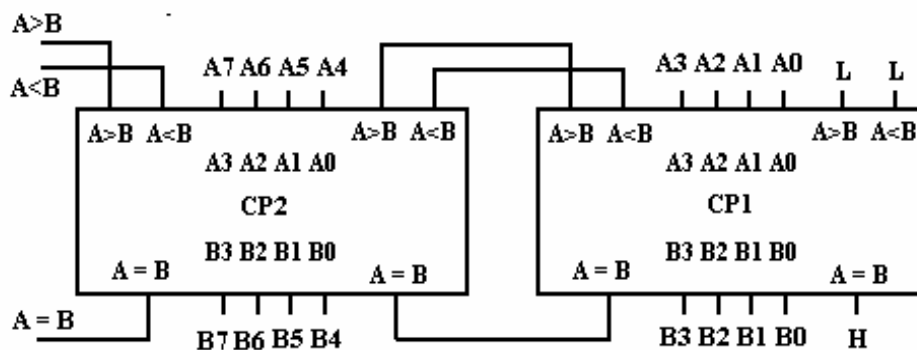


Figura 5-47 Conexión en cascada de dos comparadores digital

Esto puede hacerse conectando dos comparadores mediante las entradas de cascada o expansión. La figura 5-47 muestra el diagrama lógico de un comparador de ocho bits construido mediante dos comparadores de cuatro bits en cascada.

Cuando las entradas que se comparan en el comparador CP-1 son iguales, la salida $A = B$ del CP-1 se pondrá ALTA, las salidas $A < B$ y $A > B$ serán BAJAS. Por tanto, las salidas del CP2 dependerán de las entradas a comparar. Por ejemplo, si $A = 1100\ 1001$ y $B = 0111\ 1001$, las salidas de CP-1 $A > B$ y $A = B$ serán BAJAS mientras que $A = B$ pasa a ser ALTA. Las salidas de CP-2 serán $A > B$: H, $A = B$: L y $A < B$: L.

Para comparar números con más de ocho bits hay que añadir etapas adicionales en cascada. Si los comparadores no disponen de entradas de conexión en cascada puede realizarse la interconexión de la figura 5-48.

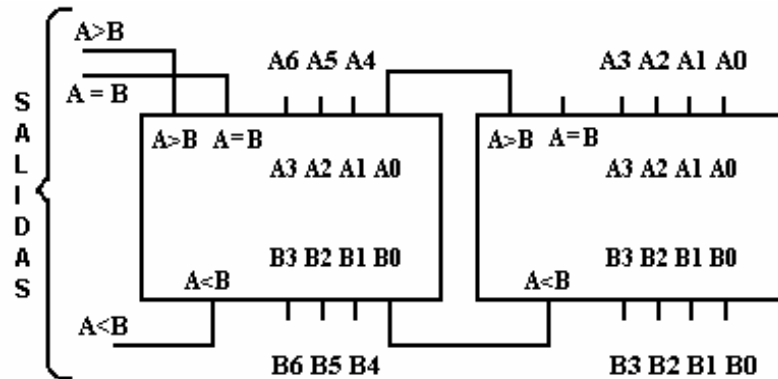


Figura 5-48 Expansión en comparadores digitales

5.4 DETECTOR/GENERADOR DE PARIDAD

Puede usarse un detector de paridad con el fin de verificar la introducción de errores en el proceso de transmisión de datos. Con cada carácter que se transmite se puede añadir un bit, llamado bit de paridad, que permitirá la comprobación de errores en la recepción.

En un sistema de paridad par el número total de 1 recibidos en cualquier carácter (incluyendo el de paridad) ha de ser un número par, y en un sistema de paridad impar el número total de "1" recibidos en cualquier carácter ha de ser impar. Si en la transmisión usamos paridad par significa que todo carácter que se reciba con un número impar de unos tendrá un error.

Un detector de paridad es un dispositivo que verifica la paridad de cualquier carácter o palabra binaria que se presente en sus entradas. El diagrama y símbolo presentados en las figura 5-49 y figura 5-50 pertenecen al el 74ACT11286, un detector de paridad par de nueve bits.

El 74ACT11286 es un verificador o generador de paridad de 9 bits que posee un puerto de entrada y salida (Parity I/O) y una entrada XMIT que permite realizar la interconexión o expansión con otros generadores de paridad.

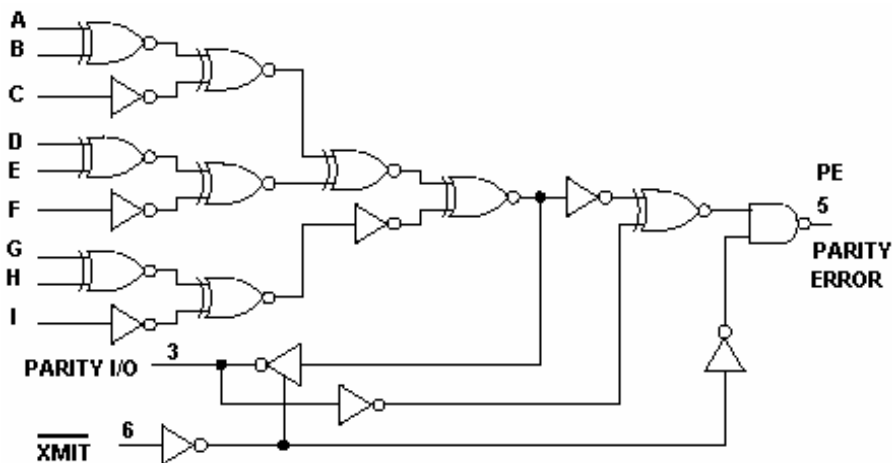


Figura 5-49 Diagrama lógico o árbol de paridad del 74ACT11286 Fuente: Idem

Si \overline{XMIT} es alto, la entrada Parity I/O determina si el dispositivo detecta paridad par o impar, como se ve en la tabla de la figura 5-50. Con Parity I/O = L, si el número de bits en uno es impar entonces la salida es PE = 1 y si el número de bits en uno es par PE = 0. Por tanto, el detector de paridad indica paridad impar con un uno y con un cero la paridad de entrada par. En caso de que Parity I/O = H, se invierte el valor de la salida para las condiciones anteriores.

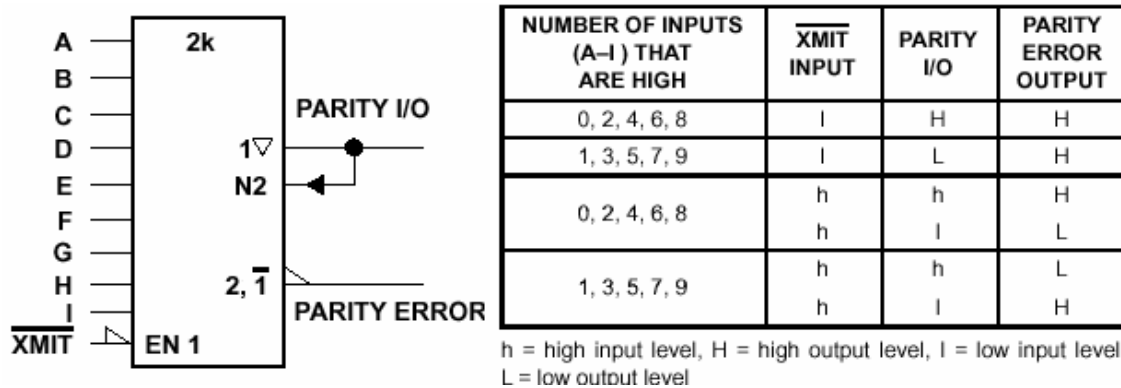


Figura 5-50 El 74ACT11286 (a) Símbolo (b) Tabla de funcionamiento Fuente: Idem

Cuando \overline{XMIT} está bajo, la salida PE (Parity Error) se deshabilita y se mantiene alta; sin embargo, el árbol de paridad (compuertas XNOR) produce la lógica adecuada en la salida Parity I/O que permite conectar dicha salida a la entrada de otro dispositivo logrando así expandir la capacidad.

El circuito 74ACT11286 es también un generador de paridad puesto que puede servir para añadir un 1 ó un 0 a un conjunto de datos de acuerdo a su paridad.

5.5 SELECTOR DE DATOS (MULTIPLEXOR)

En los sistemas digitales los datos provienen de varias fuentes: terminales, lectores ópticos, contadores o sensores. Puede ser conveniente conmutar datos de varias fuentes o canales a una sola salida o canal para su procesamiento, esto se denomina multiplexado. Los dispositivos que realizan esta función se llaman multiplexores (MUX) o selectores de datos.

En la figura 5-51 pueden verse el diagrama lógico del multiplexor 74ALS157, este consiste de dos selectores de datos de cuatro entradas. La figura 5-52 (a) presenta el símbolo del selector, puesto que cada multiplexor tiene cuatro líneas de entrada también se les denomina multiplexor de 4 a 1 línea o multiplexor 1 de 4 líneas.

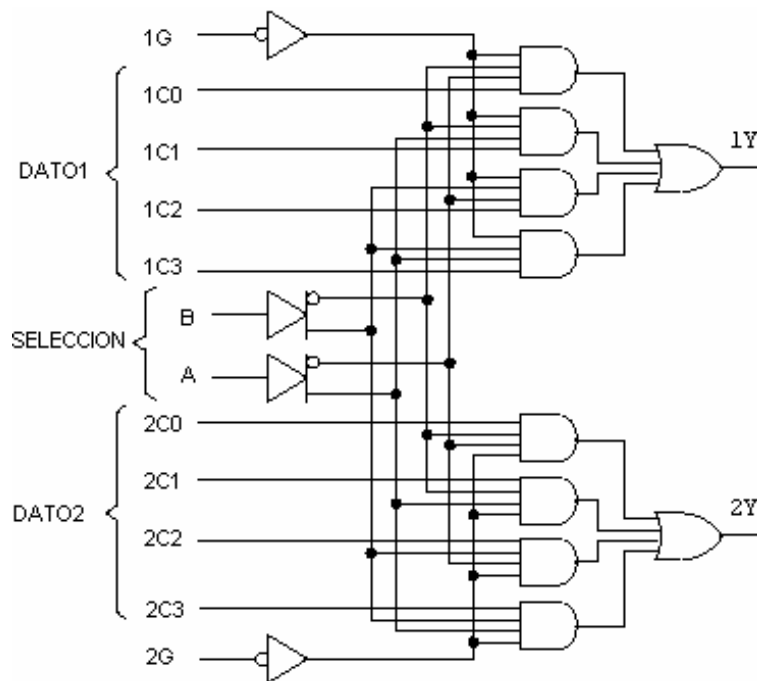


Figura 5-51 Diagrama lógico de un selector de datos doble 4 x 1 Fuente: Idem

Un selector de datos $N \times 1$ se comporta como un conmutador, el cual “copia” una de las N entradas en una única salida. La dirección o la selección de la posición del conmutador es dada por los valores de las entradas digitales S_0, S_1, \dots, S_n .

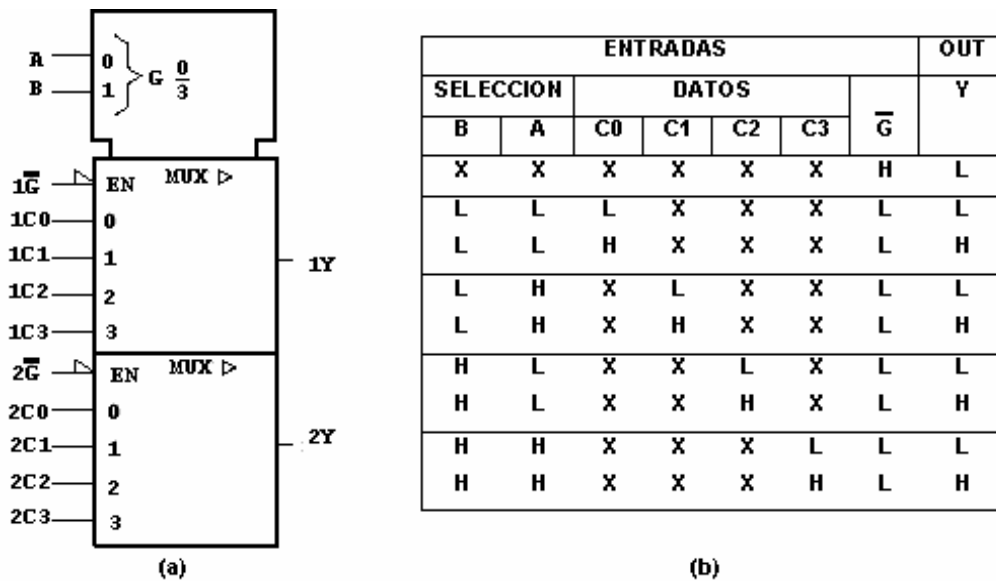


Figura 5-52 Multiplexor 74ALS157 (a) Símbolo (b) Tabla de la verdad Fuente: Idem

La tabla de verdad de este multiplexor de 4 a 1 línea es la de la figura 5-52 (b). Si la entrada de habilitación (G') está activa y las entradas de dirección son $A = L$ y $B = L$, la entrada $1C0$ será copiada en la salida $1Y$ y $2C0$ en la salida $2Y$. La mayoría de los selectores de datos tienen una entrada de habilitación que permiten al multiplexor desactivarse en cualquier instante determinado.

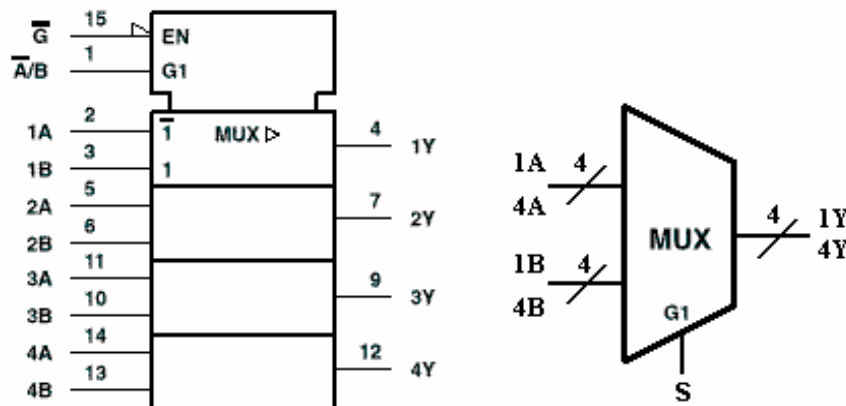


Figura 5-53 Multiplexor cuádruple 2x1 (a) Símbolo (b) MUX de palabras

Los selectores de datos se usan frecuentemente con el fin de llevar datos de uno u otro punto ahorrando líneas de transmisión en perjuicio de la velocidad de transmisión. También pueden usarse en la conversión paralelo a serie, enviando el primer carácter de los datos (paralelos), luego el segundo carácter, etc., hasta completar el envío.

En la figura 5-53 pueden verse un cuádruple multiplexor de 2 x 1. Este multiplexor puede conectarse y usarse en aplicaciones donde se desee seleccionar dos palabras de 4 bits. La figura 5-53 (b) presenta otro símbolo de los multiplexores.

5.5.1 EXPANSIÓN EN MULTIPLEXORES

Pueden acoplarse multiplexores en cascada para aumentar el número de canales. En la figura 5-54 se ve un multiplexor de 16 líneas construido con tres multiplexores dobles de cuatro entradas. Esta configuración permite la selección de una palabra de datos de 4 bits de entre cuatro palabras.

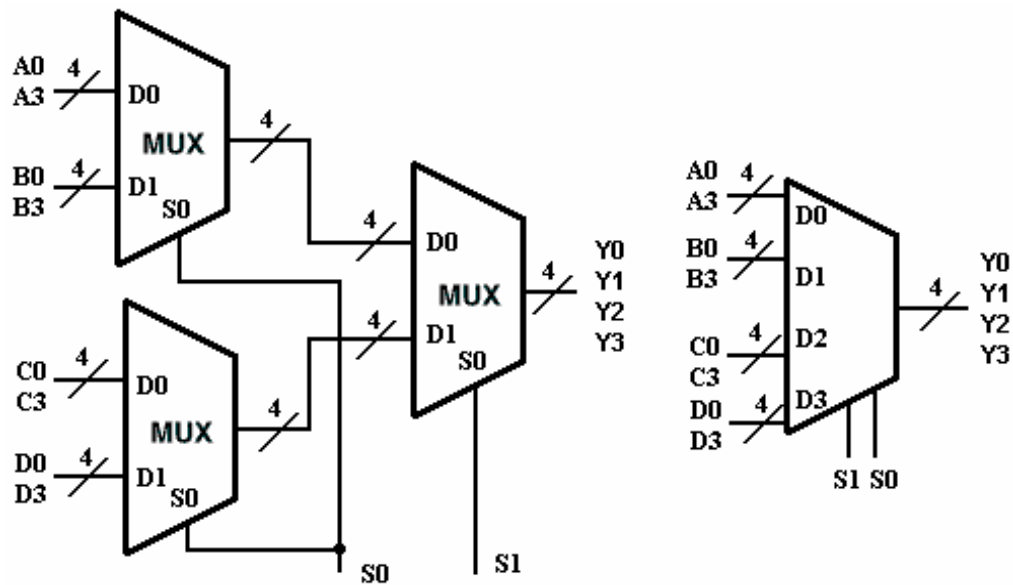


Figura 5-54 Multiplexor de palabras (4 bits) 4x1

La entrada S0 de la primera etapa selecciona ocho de los dieciséis canales de entrada (dos datos), llevándolos a la siguiente etapa, en donde la dirección S1 selecciona un grupo de 4 bits hacia a la salida.

5.5.2 GENERACIÓN DE FUNCIONES

El multiplexor puede ser utilizado como un generador de funciones [8], esto se evidencia del diagrama lógico (árbol AND-OR) de la figura 5-51. Un MUX de 4 a 1 conectado como en la figura 5-55 (a) permite la realización de una función F (A,C,B) cuya tabla de verdad se ve en la figura 5-55 (b).

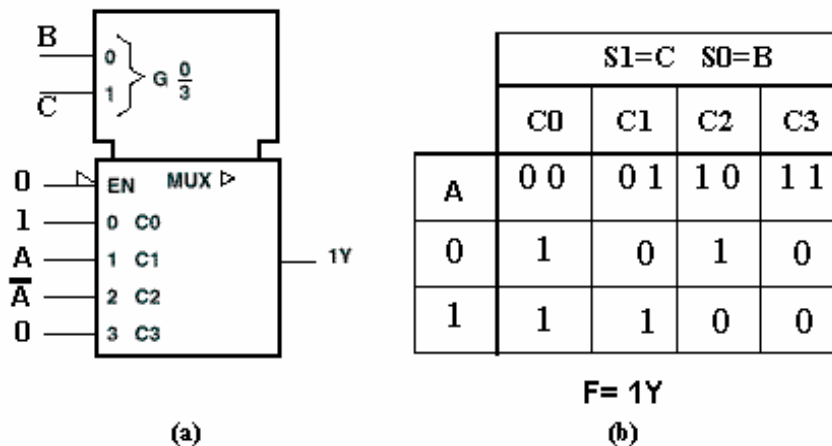


Figura 5-55 Función lógica con Multiplexor (a) Circuito (b) Tabla de la verdad

En este circuito las variables independientes B y C están conectadas a las entradas de selección, mientras la variable A forma parte de las entradas de datos. Se observa que cuando las entradas de direccionamiento son, por ejemplo: $S1=C=1$, $S0=B=1$, la entrada $C3=0$ estará conectada a la salida, de modo que F será BAJA en este caso no importando el valor de la variable A. Nótese que la realización de una función de tres variables requiere sólo un circuito multiplexor 4x1.

EJEMPLO 5-2

Analice el circuito de la figura 5-56 y deduzca las salidas como funciones lógicas de la forma: $F(W,Z,Y,X)$ y $G(W,Z,Y,X)$

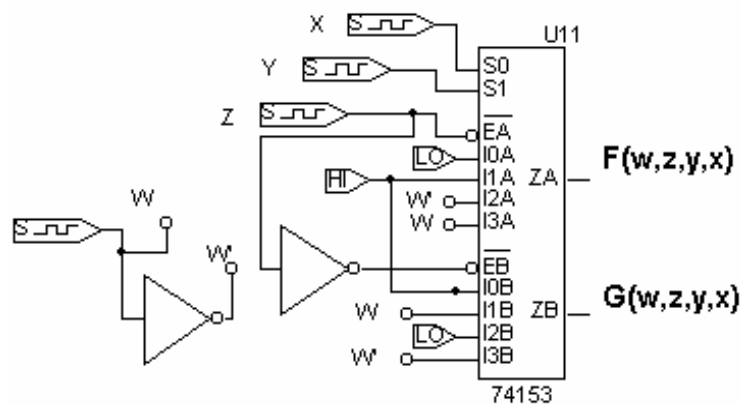


Figura 5-56 Generación de funciones del ejemplo 5-2

Solución:

El 74XX153 es un doble multiplexor con salidas activas en alto. En el circuito se ve que una entrada Z baja habilita el multiplexor ZA, la salida $F=ZA$ depende entonces del dato seleccionado por las entradas Y, X. En el caso de $Z=1$, $F=ZA$ es baja por estar deshabilitada. Esto se puede observar con más claridad en la tabla 5-10 donde se ven los diferentes valores de ZA para los correspondientes términos productos estándar (TPE).

S1 S0								
W	Z	Y	X	EA	ZA	ZA	F	TPE(W,Z,Y,X)
X	0	0	0	0	I0A	0	0	0, 8
X	0	0	1	0	I1A	1	1	1, 9
0	0	1	0	0	I2A	W'	1	2
1	0	1	0	0	I2A	W'	0	10
0	0	1	1	0	I3A	W	0	3
1	0	1	1	0	I3A	W	1	11
X	1	X	X	1	0	0	0	4-7, 12-15

Tabla 5-10 Tabla del generador de la función F (ejemplo 5-2)

Con un análisis similar se ve que cuando Z es alta y habilita al multiplexor, la salida $G=ZB$ depende del dato seleccionado por las entradas Y, X. En el caso de $Z=0$, $G=ZB$ es baja. Esto se observa en la tabla siguiente:

W	Z	Y	X	EB	ZB	ZB	G	TPE(W,Z,Y,X)
X	1	0	0	0	I0B	1	1	4, 12
0	1	0	1	0	I1B	W	0	5
1	1	0	1	0	I1B	W	1	13
X	1	1	0	0	I2B	0	0	6, 14
0	1	1	1	0	I3B	W'	1	7
1	1	1	1	0	I3B	W'	0	15
X	0	X	X	1	0	0	0	0-3, 8-11

Tabla 5-11 Tabla del generador de la función G (ejemplo 5-2)

De las tablas se deduce que F y G pueden ser representadas como:

$$F(W, Z, Y, X) = \sum(1, 2, 9, 11) \quad G(W, Z, Y, X) = \sum(4, 7, 12, 13)$$

La figura 5-57 muestra el diagrama de tiempos de las funciones F y G con el multiplexor 74ALS153. Partiendo de la tabla de la verdad y usando el procedimiento inverso, se pueden entonces diseñar circuitos combinacionales con selectores de datos.

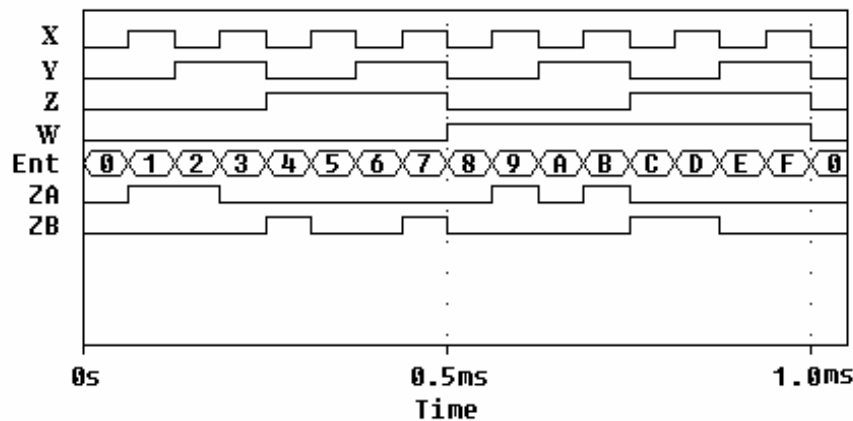


Figura 5-57 Diagrama de tiempos de las funciones F y G del ejemplo 5-2

5.5.3 GENERACIÓN DE PULSOS

En muchos sistemas digitales es necesario generar señales lógicas especiales de sincronismo, como las utilizadas en el control de distintas partes del sistema. Estas señales lógicas pueden ser bastante irregulares y difíciles de generar con puertas lógicas, sin embargo, usando multiplexores resulta fácil generar señales lógicas arbitrarias. La idea es disponer de la salida de un contador como entrada de selección de un multiplexor, en este caso la función de salida cambiará en sincronía con el contador y por tanto con la señal de reloj.

5.6 CODIFICADORES

El codificador es un dispositivo que convierte símbolos complejos tales como caracteres (#, >, 8) en códigos binarios (Exceso 3, BCD, binario natural etc.).

Un codificador cuenta con un determinado número de entradas, de las cuales una sola debe estar activa para generar en la salida el código específico de esa entrada.

En el caso de que más de una entrada sea activada el código de salida dependerá del circuito interno y no será necesariamente el correspondiente a una de las entradas. Existen los llamados **codificadores con prioridad**, tales como el 74ALS148 cuyo símbolo y tabla de verdad se ilustran en la figura 5-58 (a) y tabla 5-12 respectivamente.

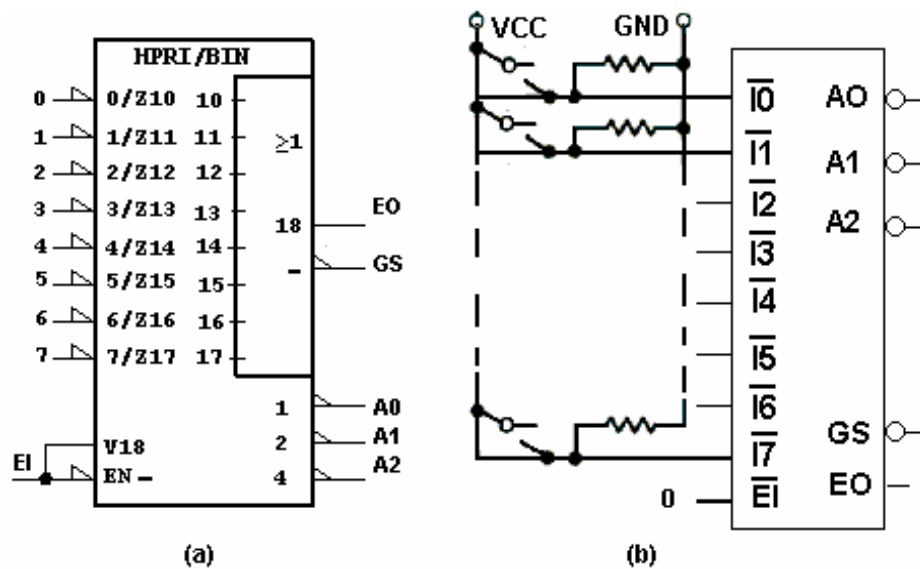


Figura 5-58 Codificadores (a) 74ALS148 (b) Codificación de teclado *Fuente:* Texas Instruments Inc. Logic Selection Guide and Databook. 2/E, Texas Instruments Inc, Dallas, 1997

Un codificador prioritario de 7 a 3 líneas como el 74ALS148 genera un código por las tres líneas de salida cuando una cualquiera de las entradas pasa a nivel activo. Si más de una de las entradas tienen un nivel activo, la salida del codificador corresponderá a la entrada de más alta prioridad según la tabla de la verdad.

La figura 5-58 (b) muestra la forma en que un codificador puede codificar un teclado sencillo.

EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Tabla 5-12 Tabla de la verdad del codificador con prioridad 74ALS148 *Fuente:* Idem

5.6.1 EXPANSIÓN EN CODIFICADORES

La entrada de habilitación EI y las salidas de GS y EO están disponibles en algunos codificadores con el fin de permitir ampliar la capacidad de codificación a través de la interconexión de varios codificadores. La figura 5-59 presenta un circuito codificador 16 a 4 líneas construido a partir de dos 74HC148 y algunas compuertas lógicas.

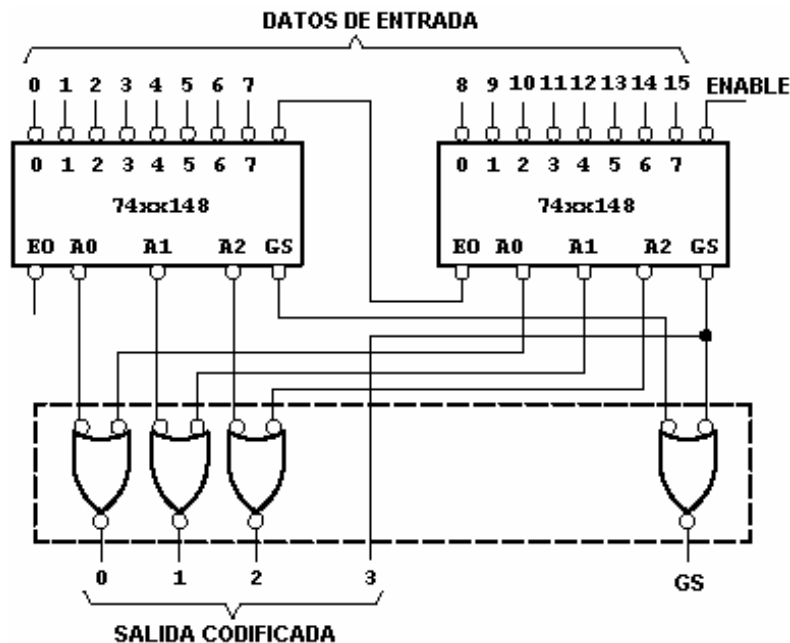


Figura 5-59 Interconexión de dos codificadores en cascada *Fuente: Idem*

Es conveniente notar que los circuitos codificadores como todo circuito puramente combinacional están afectados por el fenómeno de rebote existente en todo contacto o tecla mecánica. Sin embargo, existen circuitos como el 74C922 (codificador de 16 teclas) que poseen toda la lógica necesaria para realizar un interfaz eficaz entre un teclado y un sistema digital.

5.7 DECODIFICADORES

El decodificador es un dispositivo que convierte símbolos binarios (códigos) en símbolos más complejos, como por ejemplo en un carácter (#, 8, etc.), es decir, convierte un código binario en caracteres. Los decodificadores resultan de gran utilidad en aplicaciones tales como decodificación de entrada en sistemas digitales de visualización, decodificación de direcciones de memorias y circuitos de control.

En la figura 5-60(a) puede verse el símbolo de un doble decodificador binario, el 74HC138, y su tabla de la verdad. Cada uno de los circuitos decodifica dos entradas binarias B y A, activando una única salida de cuatro posibles para cada valor o combinación en las entradas. Por ejemplo, si las entradas son B = L, A = H (2 decimal) y la habilitación es baja (E = L), la salida 2 (2 decimal) estará activa (baja) y las restantes salidas permanecen altas. Este decodificador se denomina decodificador binario a decimal.

El 74HC138 se denomina también doble decodificador 1 de 4 o 2 X 4 líneas. La entrada de habilitación (EN) se emplea con propósitos de expansión o cuando se desean decodificar las entradas únicamente en determinados momentos.

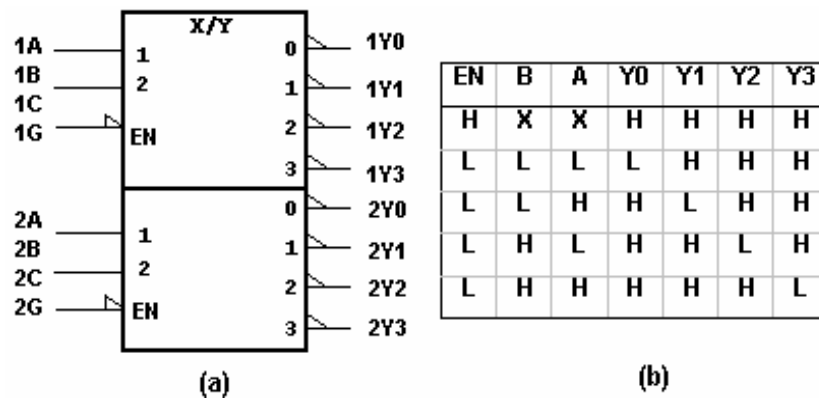


Figura 5-60 Decodificador doble (a) Símbolo (b) Tabla de la verdad Fuente: Idem

Nótese de la tabla de verdad de la figura 5-60(b) que el decodificador tiene salidas activas bajas, esto es con el fin de reducir el consumo de potencia.

Existe una amplia variedad de decodificadores tales como los decodificadores BCD o también denominados 1 de 10, estos decodificadores tienen cuatro entradas con un total de 16 combinaciones posibles de las que sólo se usan 10. Los seis códigos restantes se llaman entradas no válidas ya que no corresponden a ninguna de las diez salidas existentes y por lo tanto no deberían usarse.

Existen decodificadores con salidas de colector abierto convenientes en el manejo de cargas con altas demandas de corriente.

5.7.1 EXPANSIÓN EN DECODIFICADORES

La figura 5-61 (a) corresponde al 74ALS156, un doble decodificador 1 de 4 con entradas de decodificación común y salidas en colector abierto (ver sección 5.9.1). La figura 5-61 (b) ilustra el principio básico de expansión en el cual se construye un

decodificador 1 de 8 mediante dos decodificadores 1 de 4. Las entradas de habilitación son interconectadas y corresponden a la dirección más significativa del decodificador 1 de 8, permitiendo seleccionar uno u otro de los decodificadores. Las entradas 1 y 2 (pines 3 y 13) determinan entonces la salida del decodificador seleccionado.

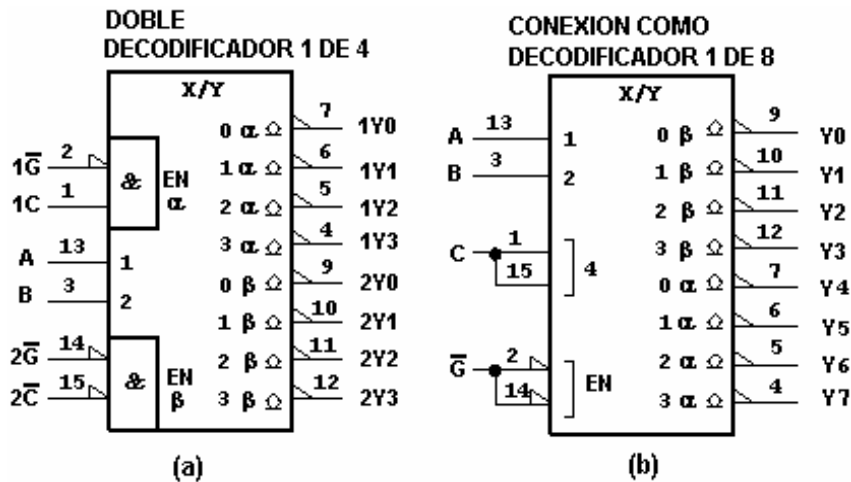


Figura 5-61 Decodificador 74ALS156 (a) Símbolo (b) Decodificador 1 de 8

5.7.2 GENERACIÓN DE FUNCIONES

Los decodificadores también pueden servir para generar funciones booleanas como los multiplexores. Cada salida de un decodificador es activada únicamente en una combinación o valor específico en las entradas. Es decir, cada salida es activa en un término estándar en relación con las entradas, tal como se ve en la tabla de la verdad de la figura 5-60. Por tanto, en el caso de salidas activas en alto, se pueden sumar las señales de salida que se requieran y obtener así una función lógica que será la suma de los términos productos. [8]

En la figura 5-62 se puede ver la forma de obtener dos funciones utilizando un decodificador 1 de 8 con salidas activas en alto y dos compuertas OR.

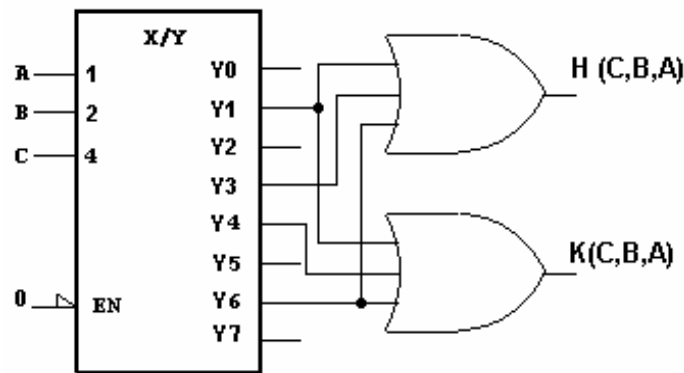


Figura 5-62 Generación de funciones con decodificadores

Del circuito se determina que las funciones expresadas en minitérminos son:

$$H(C,B,A) = \sum (1, 3, 6) \text{ y } K(C,B,A) = \sum (1, 4, 6)$$

EJEMPLO 5-3

En la figura 5-63 se muestra un circuito que permite obtener las funciones $F(Z,Y,X)$ y $G(Z,Y,X)$. Determine F y G y expréselos como una suma de minitérminos.

Solución:

El análisis permite ver que si la entrada Z es baja se deshabilita el decodificador superior y habilita el inferior, así las salidas $1Y_i$ son siempre altas y las salidas $2Y_i$ están activas dependiendo de las entradas Z , X e Y . Por otra parte, si la entrada Z es baja se habilita el decodificador superior y deshabilita el inferior. Esto puede verse con más claridad en la tabla 5-13 de donde se determina que:

$$F(Z,Y,X) = \sum (2, 5, 7) \text{ y } G(Z,Y,X) = \sum (0, 1, 4, 6, 7).$$

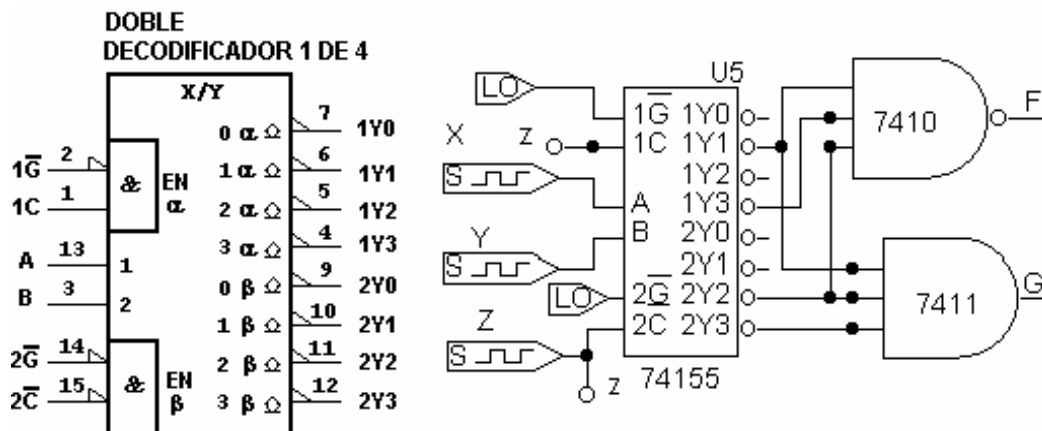


Figura 5-63 Funciones lógicas del ejemplo 5-3

Z	Y	X	1Y1	1Y3	2Y2	F	1Y1	2Y2	2Y3	G
0	0	0	1	1	1	0	1	1	1	1
0	0	1	1	1	1	0	1	1	1	1
0	1	0	1	1	0	1	1	0	1	0
0	1	1	1	1	1	0	1	1	0	0
1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	0	1	1	1	1
1	1	1	1	0	1	1	1	1	1	1

Tabla 5-13 Tabla de funcionamiento del ejemplo 5-3

Al simular el circuito con Pspice se ve en el diagrama de la figura 5-64 que las funciones F y G se corresponden con lo antes indicado.

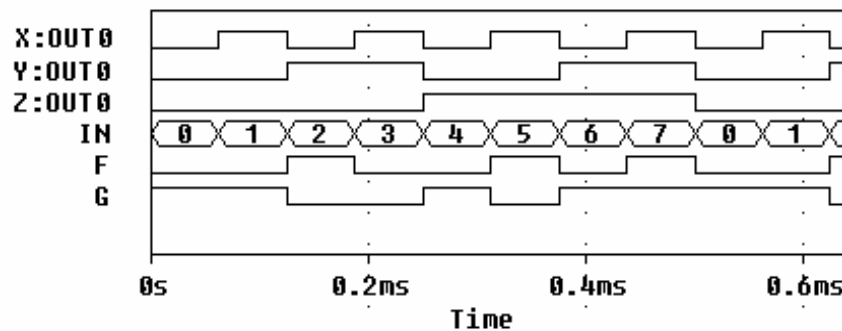


Figura 5-64 Diagrama de tiempos del ejemplo 5-3

5.8 DEMULTIPLEXORES

Los distribuidores de datos o demultiplexores están destinados a separar una señal multiplexada que contiene N bits de información (en una sola línea) en N canales distintos de salida.

Los decodificadores suelen ser usados como demultiplexores. El decodificador de la figura 5-65 (a) se convierte en un demultiplexor de ocho líneas (figura 5-65 (b)) si los datos inciden en la entrada de habilitación EN y se usan A, B y C para seleccionar el canal de salida deseado. Podemos ver que el demultiplexor es justamente el inverso de un multiplexor. El demultiplexor tiene una entrada y N salidas.

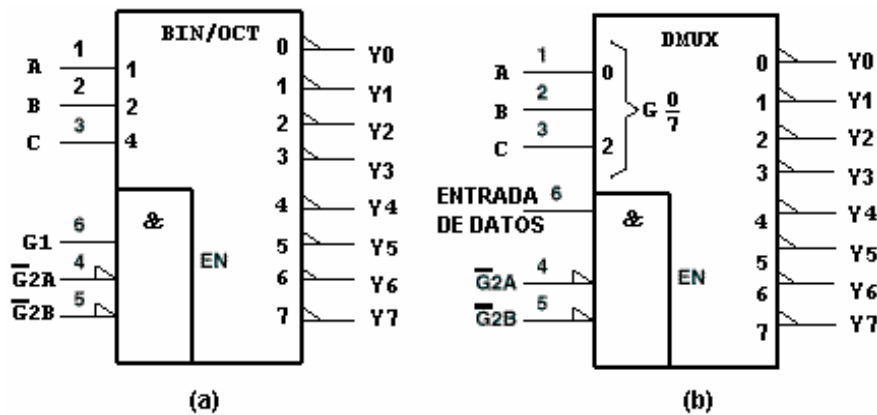


Figura 5-65 (a) Decodificador (b) Demultiplexor 1X8

El demultiplexor de la figura 5-65 (b) tiene tres entradas de direccionamiento A, B C, ocho salidas 0 hasta 7 activas en bajo y cualesquiera de las entradas de habilitación puede usarse como la entrada de datos. Puesto que de una sola línea de entrada emergen 8 datos de salida se le denomina demultiplexor de 1 x 8.

Por ejemplo, si las entradas de control tienen el valor, $(A, B, C) = (1, 0, 0)$, la entrada de datos se encuentran conectada a la salida correspondiente ($Y_i = 4$). Al igual que los decodificadores, los demultiplexores pueden disponerse en cascada con el fin de aumentar el número de salidas.

5.9 VISUALIZADORES

Es conveniente hablar sobre la forma de ver la información digital. Una presentación visual puede ser a través del denominado display de siete segmentos el cual está formado por siete diodos emisores de luz (LED) dispuestos como se ilustra en la figura 5-66.

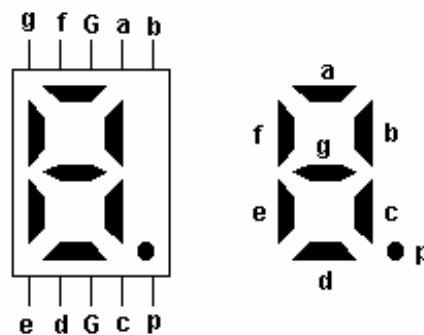


Figura 5-66 Display 7 segmentos

El número decimal 1 es generado activando los segmentos o led e y f mientras los restantes segmentos se conservan desactivados. El decimal 4 es generado iluminando los segmentos f, g, b y c. La activación o encendido de los segmentos se realiza con una señal baja en los llamados displays de ánodo común en los cuales las entradas de los segmentos corresponden a los cátodos de los led y los ánodos están interconectados y deben ser puestos a un voltaje positivo. El encendido de los denominados displays de cátodo común se efectúa con una señal alta por cada segmento.

Debido al número limitado de segmentos en una presentación visual de siete segmentos, sólo se pueden presentar los dígitos decimales (del 0 hasta el 9), unos cuantos símbolos especiales y unas pocas letras alfabéticas, es por esto que la mayoría de los displays de siete segmentos se utilizan en lecturas numéricas.

5.9.1 DECODIFICADORES Y MANEJADORES DE DISPLAYS

La salida de la mayoría de los sistemas digitales es en forma binaria; sin embargo, generalmente se desea presentar visualmente la salida en forma decimal y se requiere un decodificador (o codificador) de binario a BCD (decimal codificado en binario). Las salidas BCD van luego a un circuito integrado llamado decodificador BCD/ 7 segmentos (decoder/driver).

Salidas colector abierto

Cada segmento de un visualizador de 7 segmentos tipo LED puede requerir 10 mA o más hasta un total de $8 \times 10 \text{ mA} = 80 \text{ mA}$. Las salidas de estos manejadores de displays deben ser capaces de surtir (o disipar) esta corriente de carga.

Los circuitos que poseen salidas del tipo denominado colector abierto son una de las soluciones a estas exigencias. En las figuras 5-67 (a) y (b) se pueden ver la configuración de una compuerta con salida de colector abierto y el símbolo de este tipo de salida. El circuito es alimentado con una fuente V_{cc} que depende de la tecnología, mientras que la salida que se toma en el colector de Q_4 está desconectada por lo que es necesario conectar una carga y alimentación externamente con el fin de que la salida responda adecuadamente.

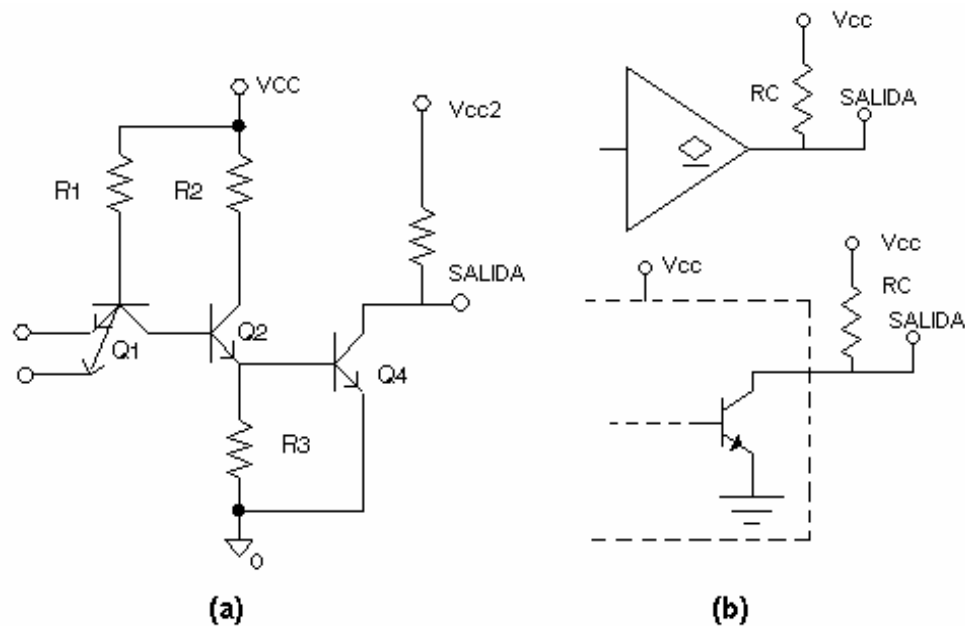


Figura 5-67 Salidas en colector abierto

En el estado BAJO de salida, Q_4 está saturado (tiene corriente de base) y en el estado ALTO está en corte (es en esencia un circuito abierto). Entonces para una salida de 0 lógico habrá un nivel de voltaje BAJO, pero con un 1 lógico en la salida debe haber un nivel de voltaje ALTO que dependerá del voltaje de alimentación del colector. La figura 5-68 muestra la simulación del circuito manejador de un display decimal ánodo común por medio del driver 7447 con salidas activas en bajo.

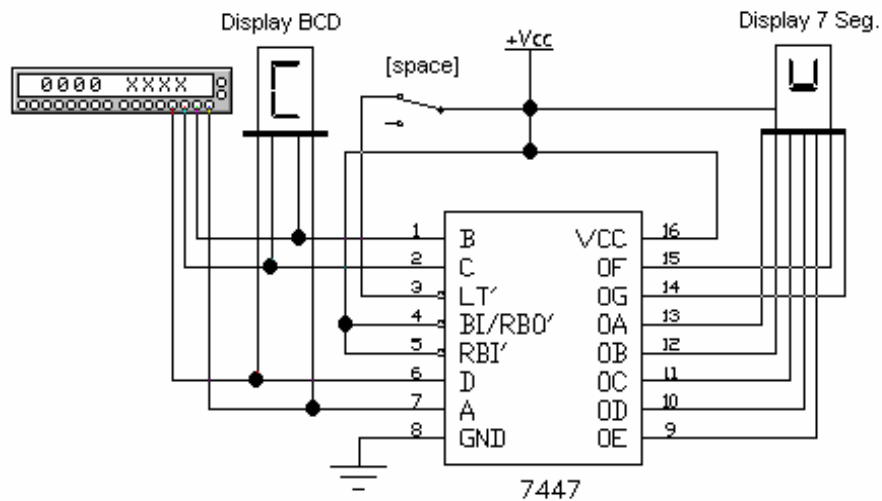


Figura 5-68 Visualizador activo en bajo (ánodo común)

El manejador 7447 tiene salidas en colector abierto y por tanto deben conectarse en cada salida resistencias en serie con cada led con el objetivo de limitar la corriente; estas resistencias no son mostradas porque el simulador usado (EWB) no lo amerita.

5.9.2 VISUALIZADORES LCD

En la actualidad se disponen de los denominados displays o visualizadores de cristal liquido (LCD), de bajo consumo de potencia y en diferentes formas y tamaños. El bajo costo y altas prestaciones de estos componentes los han colocado como los más usados a nivel comercial.

La figura 5-69 muestra la forma de alimentar las conexiones de un LCD. En este caso el diodo emisor de luz se ha reemplazado por un “cristal liquido” que es energizado por corriente alterna. Los LCD trabajan con señales de CA de bajo voltaje (3 hasta 15 Vrms) y baja frecuencia (30 a 60 Hz). [2]

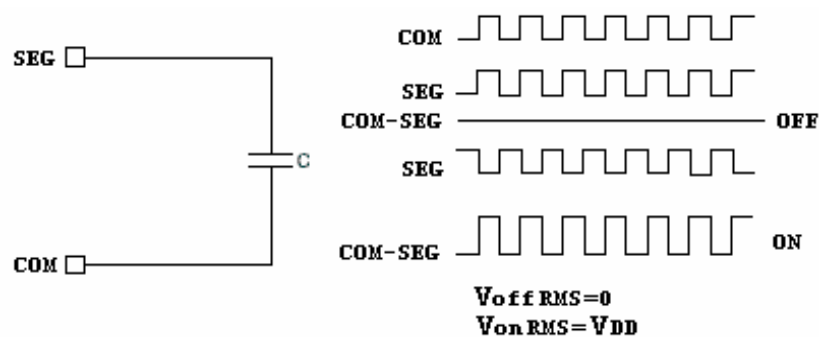


Figura 5-69 Alimentación de visualizadores LCD