

CIRCUITOS LÓGICOS SECUENCIALES

En los capítulos anteriores se describieron los circuitos lógicos combinacionales, sus dispositivos básicos, las compuertas, así como los principales métodos de análisis y diseño de estos circuitos. En el presente capítulo se describirán los dispositivos básicos de la lógica secuencial denominados Multivibradores, como son los circuitos biestables, monoestables y astables. Después de presentar las características de los biestables, se describirá el uso de estos dispositivos como elementos de almacenamiento o memoria, posteriormente se introducirán métodos de análisis y diseño de circuitos secuenciales más complejos.

Los circuitos biestables pueden ser de dos tipos, asíncronos y sincronizados, sin embargo existen diferentes nombres con los que se han designado, en forma indistinta y muchas veces incorrecta, ambos circuitos. Estas denominaciones incluyen básculas, candado, latch, SR, flip-flop, toggle y otros.

En los sistemas digitales, los biestables proporcionan la memoria o almacenamiento de datos (principal ventaja sobre los sistemas analógicos) mientras que las compuertas lógicas mayormente realizan funciones o procesos con los datos.

4.1 BIESTABLES ASÍNCRONOS

La unidad de información en un sistema digital es el bit, y el circuito básico para almacenar esta información es el circuito biestable. Se denominan biestables puesto que sus salidas asumen dos estados o valores estables (estado 1 y estado 0).

Los **multivibradores** biestables pueden ser circuitos asíncronos (activados por un nivel 0 ó 1) o circuitos sincronizados (Activados por pulsos o flancos). Los biestables a diferencia de los circuitos combinacionales, son circuitos con realimentación contruidos con compuertas lógicas. Existen diferentes tipos de biestables los cuales pueden ser interconectados para realizar diversas funciones o procesos.

Generalmente los biestables poseen dos señales de salida, una de las cuales es el complemento de la otra. Se estila denominar las salidas como Q y Q'. El estado del biestable es por definición el que tome la salida Q.

4.1.1 CERROJO (LATCH)

El principio de funcionamiento del biestable es el cerrojo o candado (latch) de la figura 4-1, consiste en dos compuertas interconectadas de tal manera que las dos señales de salida permanecen constantes de manera indefinida. Si se logra colocar la salida Q en un valor deseado (0 ó 1), este valor se mantendrá almacenado indefinidamente como consecuencia de la realimentación.

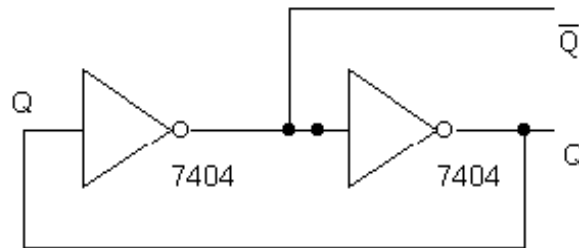


Figura 4-1 Cerrojo con compuertas NOT

4.1.2 BIESTABLE TIPO DATA (D)

El problema de como colocar (escribir) un valor determinado a la salida del cerrojo se soluciona con el circuito biestable de la figura 4-2, el circuito se denomina biestable tipo D o Data.

En este circuito se nota que la entrada C de la compuerta G1 permite (habilita) o evita (inhibe) el paso de la señal $y_1(t) = Q$ hacia la salida a través del lazo de realimentación. Cuando $C = 0$ el circuito es similar al candado de la figura 4-1. Sin embargo, si $C = 1$ la salida depende del valor de la entrada D. Entonces, la forma de colocar un valor determinado en el candado es introducirlo a través de la entrada D con $C = 1$ y luego establecer $C = 0$.

Es conveniente resumir el funcionamiento del biestable tipo D:

- La entrada C (habilitación) es por definición activa en alto.
- Cuando la entrada C es alta, el dato o información presente en D es transferido (copiado o escrito) a la salida Q
- Si la entrada C permanece alta, la salida Q sigue los cambios en D.
- Si la entrada C es baja, la salida memoriza o retiene (latch) el dato que estuvo presente justo antes que la entrada C hiciera la transición al nivel bajo.

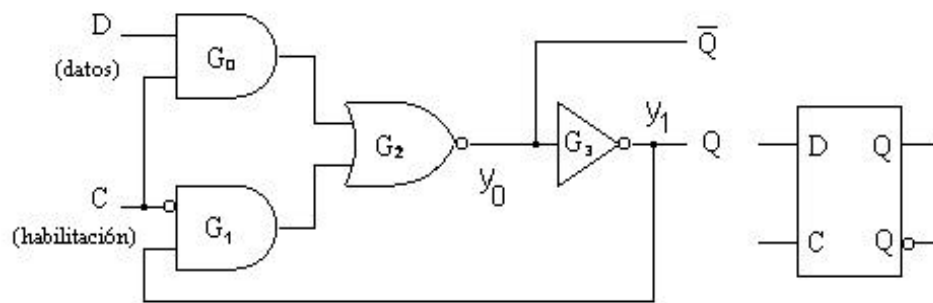


Figura 4-2 Bistable tipo Data (latch)

Ecuación de transición

Se puede deducir una expresión algebraica del biestable si se tienen en cuenta los retardos de las compuertas y la realimentación.

Sean las señales binarias en un momento determinado:

$y_0(t), y_1(t)$

Valor Presente o Actual.

Sean las señales luego de transcurrido un tiempo $t+1$, mayor que el retardo de las compuertas del lazo de realimentación (compuertas G_1 y G_2):

$y_0(t+1), y_1(t+1)$

Valor Futuro o Siguiente.

Del circuito se tiene:

$Q = y_1 = y_0'$,

Q: Salida estandar del biestable.

Aplicando lógica combinacional al circuito y tomando en cuenta los retardos:

$y_0(t+1) = [D C + y_1(t) C']$

De donde:

$Q(t+1) = y_1(t+1) = D C + y_1(t) C'$

Entonces la expresión que define al circuito puede ser escrita como:

$$Q(t+1) = D C + Q(t) C'$$

Esta expresión se llama **ecuación de transición** e indica que la salida Q tomará el valor ($Q(t+1)$ valor siguiente) igual a la entrada D siempre que la entrada de control C este en **nivel alto**. En caso que la entrada de control C este en **nivel bajo** la salida se mantendrá en el valor que tiene ($Q(t)$ valor actual), este ultimo estado es denominado condición latch o memoria del biestable.

Las denominaciones anteriormente usadas son un estándar en la literatura; en ocasiones la notación del valor siguiente $Q(t+1)$ aparece como $Q(t+n)$ o Q^* .

Tabla de transición o funcionamiento

La operación de un multivibrador biestable se puede caracterizar mediante una tabla de estado o tabla de transición en la que se indica el valor de Q después de un tiempo (mayor que el retardo de realimentación) como consecuencia de la excitación aplicada a sus entradas. La tabla de transición es una tabla de la verdad en la que se distinguen las señales por su valor presente y siguiente.

Otra forma de representar el funcionamiento del biestable es a través de la tabla de funcionamiento. En la tabla 4-1 se muestra la tabla de transición, mientras que en la tabla 4-2 se presenta la tabla de estados o de funcionamiento.

C	D	Q _t	Q _{t+1}	Q' _{t+1}	
0	0	0	0	1	MEM
0	0	1	1	0	MEM
0	1	0	0	1	MEM
0	1	1	1	0	MEM
1	0	0	0	1	
1	0	1	0	1	
1	1	0	1	0	
1	1	1	1	0	

Tabla 4-1 Tabla de transición del latch tipo D

C	D	Q _{t+1}	
0	X	Q _t	MEM
1	DATO	DATO	

Tabla 4-2 Estados del biestable tipo D

Observe que la ecuación de transición también se puede determinar a partir de las tablas de estado o de funcionamiento.

Diagrama de transición o estados

Otra forma de representar el funcionamiento de un dispositivo biestable asíncrono es mediante un diagrama de flujo denominado diagrama de transición, donde los estados del biestable se representan por un círculo mientras que la transición entre estados se indica a través de arcos con dirección. Los arcos pueden llevar las variables de entrada con el valor que produce la transición.

La figura 4-3 expone el diagrama de estados del biestable tipo D, nótese que cada combinación de las entradas D y C los arcos indican, partiendo de un estado pre-

sente, cual será el estado siguiente. La notación $D=X$ (no importa) y $C=0$ corresponde a la condición de memoria o cerrojo y representa dos combinaciones de entradas y por tanto dos arcos.

Es importante tener claro que para cada estado del biestable deben existir n arcos de salida, siendo n el número de entradas que afectan la salida o estado.

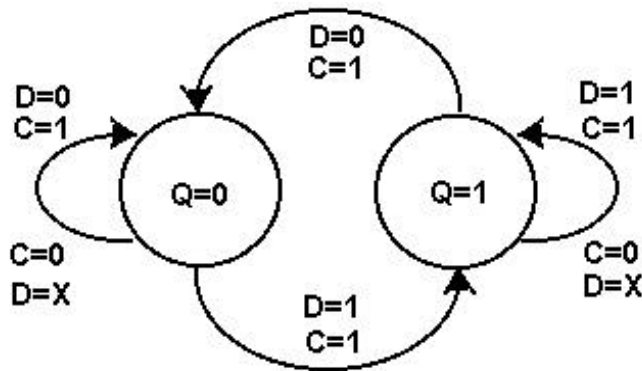


Figura 4-3 Diagrama de transición del latch tipo D

4.1.3 BIESTABLE S R

La figura 4-4 muestra la realización de este biestable con compuertas NOR y la figura 4-5 presenta al biestable con compuertas NAND. El funcionamiento de ambos difiere en el tipo de activación. El latch S R puede ser colocado en el estado 1 o el estado 0 mediante dos líneas de entrada denominadas S R.

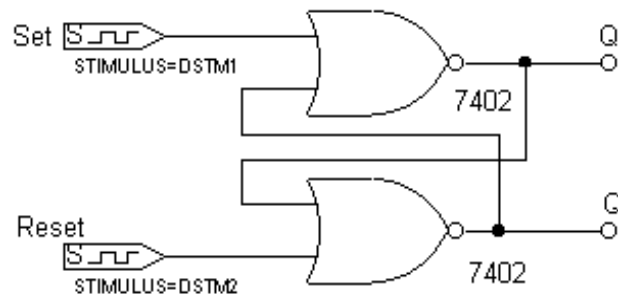


Figura 4-4 Biestable básico con compuertas NOR

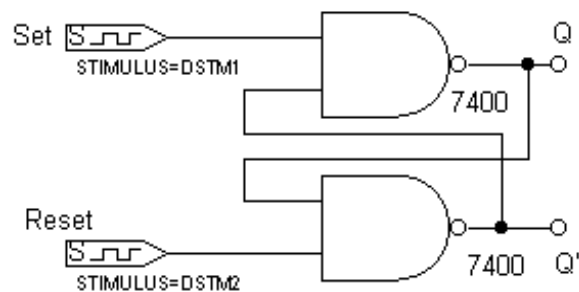


Figura 4-5 Biestable básico con compuertas NAND

A continuación se describen las condiciones o estados del biestable con compuertas NOR, se deja al lector el análisis del biestable con compuertas NAND.

- LATCH: Mientras las dos entradas S R sean ambas 0, el biestable permanece en el mismo estado, comportándose como un cerrojo o memoria.
- SET: Un 1 en la entrada S (línea de set o puesta en 1) y un 0 en la entrada R (línea de reset, clear o puesta a cero), logra que el biestable se coloque en estado uno (Puesta en 1).
- RESET: Un 1 en la entrada R y un 0 en la entrada S, hace que el biestable se coloque en estado 0 (Puesta a cero).
- AMBIGUO: Colocar un 1 en las dos entradas hará que ambas salidas Q y Q' sean puestas a 0, condición denotada como prohibida ya que $Q=Q'$.

Tabla de transición

En la tabla 4-3 se muestra la tabla de estados del biestable SR con compuertas NOR, así mismo en la tabla 4-4 se da de transición.

S	R	Q (t)	Q (t+1)	Q' (t+1)
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	0
1	1	1	0	0

Tabla 4-3 Tabla de estados del biestable S R (NOR)

S	R	Q (t+1)	Q' (t+1)	
0	0	Q (t)	Q' (t)	Latch o memoria (no cambia)
0	1	0	1	Reset (puesta a cero)
1	0	1	0	Set (puesta a uno)
1	1	0	0	Incorrecto

Tabla 4-4 Tabla de transición del biestable S R (NOR)

Símbolos del biestable S R

Los símbolos correspondientes a las dos versiones del biestable S R se pueden ver en la figura 4-6, estos símbolos están asociados con su funcionamiento de la siguiente manera:

- La activación de una (solo una) de las entradas, Set o Reset, lleva la salida Q del biestable al estado 1 ó 0 respectivamente.
- La NO activación de ambas entradas colocará al biestable en memoria o cerrojo.
- La activación de ambas entradas logra que las salidas del biestable sean tales que $Q = Q'$, en este caso el valor de la salida depende del tipo de compuertas utilizadas.

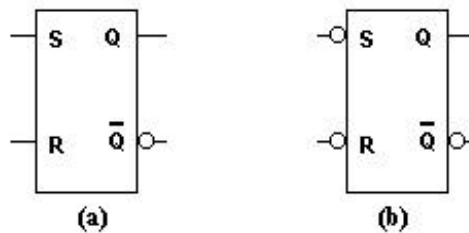


Figura 4-6 Símbolos del S R (a) tipo NOR (b) tipo NAND

Ecuación de transición

De los circuitos lógicos de ambos biestables SR se puede determinar las ecuaciones de los biestables, obteniéndose:

$$Q(t+1) = S' + Q(t) R \quad \text{S R NAND}$$

$$Q(t+1) = S R' + Q(t) R' \quad \text{S R NOR}$$

Carreras y metaestabilidad

Sean: (Q , Q') las salidas de un biestable set reset con compuertas NOR, y (S, R) sus entradas. Cuando las entradas del biestable toman el valor (1,1) se fuerzan

las salidas de las dos compuertas a (0, 0), estado conocido como estado **metaestable**; si seguidamente se aplica a las entradas (0,0), las salidas de ambas compuertas serán 1, estos valores se realimentan a las entradas y deberían teóricamente hacer que las dos compuertas produzcan ceros (0,0). Si los retardos de propagación de las dos compuertas son exactamente iguales, el circuito en teoría debería oscilar entre los dos estados (0,0) y (1,1). Sin embargo, del estado metaestable (0,0) el circuito irá a un estado estable aleatorio (de ahí su nombre) debido a que en la práctica los retardos no son idénticos. Como no se conoce la duración exacta de los retardos de las compuertas, es imposible predecir el estado final cuando se estabilice en un estado estable.

La condición en la cual el siguiente estado de un circuito secuencial depende de los retardos de compuerta existentes, se denomina “carrera” (race), ya que hay una carrera entre varias señales internas que determinará el estado final del circuito. Las condiciones de carrera son riesgos indeseables.

Diagrama de transición

En la figura 4-7 se puede observar el diagrama de transición reducido del biestable SR el cual es útil para entender su funcionamiento práctico. Se debe entender que este diagrama es incompleto (ya que deben haber 4 arcos de salida por estado) y que se presenta así por conveniencia, las transiciones para combinaciones tales como $S=1$ y $R=1$ no se incluyen.

¡Error! Imposible crear objetos modificando códigos de campo.

Figura 4-7 Diagrama de transición S R (NOR)

Por otra parte, si los retardos de los lazos de realimentación son idénticos, el cambio instantáneo desde unos valores de la entrada $S=1$ y $R=1$ a $S=0$ y $R=0$ teóricamente producirá una oscilación continua (0, 1, 0, 1...) en las salidas; esta condición tampoco se representa en este diagrama de transición.

4.1.4 BIESTABLE S R CON HABILITACIÓN

El biestable S R con entrada de habilitación (figura 4-8) es esencialmente un circuito secuencial asíncrono al que se le ha adicionado compuertas AND a las entradas del circuito básico.

Es conveniente ahora recalcar que este tipo de dispositivo es algunas veces denominado flip flop (F F en forma abreviada) o biestable S R sincronizado. Aunque la mayoría de diseñadores formales usan el nombre de biestable en los circuitos secuenciales activados por **nivel** y el de flip flop en biestables activados por el **borde** del pulso, se hace más común cada día el uso de la palabra flip flop para cualquier dispositivo secuencial.

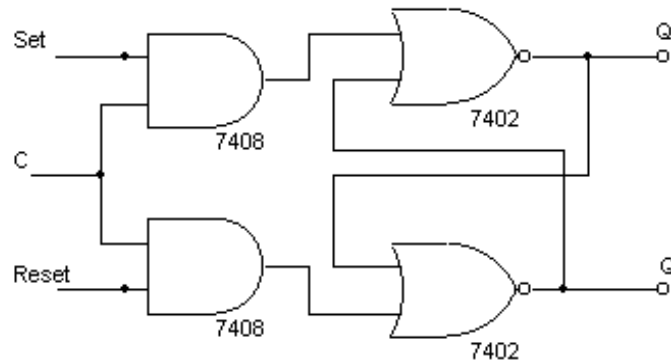


Figura 4-8 Biestable S R con habilitación

El biestable con entrada de habilitación responderá a niveles de entrada solo durante la presencia de un nivel alto en dicha entrada, esto sirve para sincronizar el momento de actuación. La entrada C es denominada entrada de habilitación, al estar activa el circuito funciona como del biestable básico. La información contenida en S y R alcanza el F F básico produciendo, luego de un retardo, el cambio correspondiente en el estado del F F. Cuando $C=0$ (inactiva) las salidas de las compuertas AND permanecen en 0, sin importar el valor de las entradas S y R, evitando el cambio en la salida (estado de memoria o latch).

Diagrama de tiempos

En un multivibrador biestable cualquiera, las entradas deben permanecer un tiempo mínimo con el propósito de que el multivibrador se estabilice.

En el diagrama de tiempo de la figura 4-9 puede verse la operación del SR con habilitación. Las señales aplicadas necesitan una cantidad de tiempo finita para propagarse a través de las compuertas NOR llamada tiempo de propagación **tpd**. El uno que se aplica a la entrada S debe permanecer el tiempo suficiente tal que se propague de regreso a la compuerta NOR superior y enganche el multivibrador biestable en su estado. Para esto la entrada S primero debe pasar a la compuerta NOR superior, hacien-

do que Q' pase a 0 después de un tiempo t_{pd} . Cuando Q' pasa a 0, la compuerta NOR inferior se dirige hacia 1, de manera que el cambio en Q se demora t_{pd} segundos respecto al cambio Q' . Por lo tanto, la duración total de la entrada S debe ser cuando menos de dos retardos o $2t_{pd}$. Si la señal dura menos, Q' puede cambiar de estado brevemente o quizá comience a hacerlo, pero Q no lo hará y cuando S regrese a 0 el multivibrador volverá a su estado inicial.

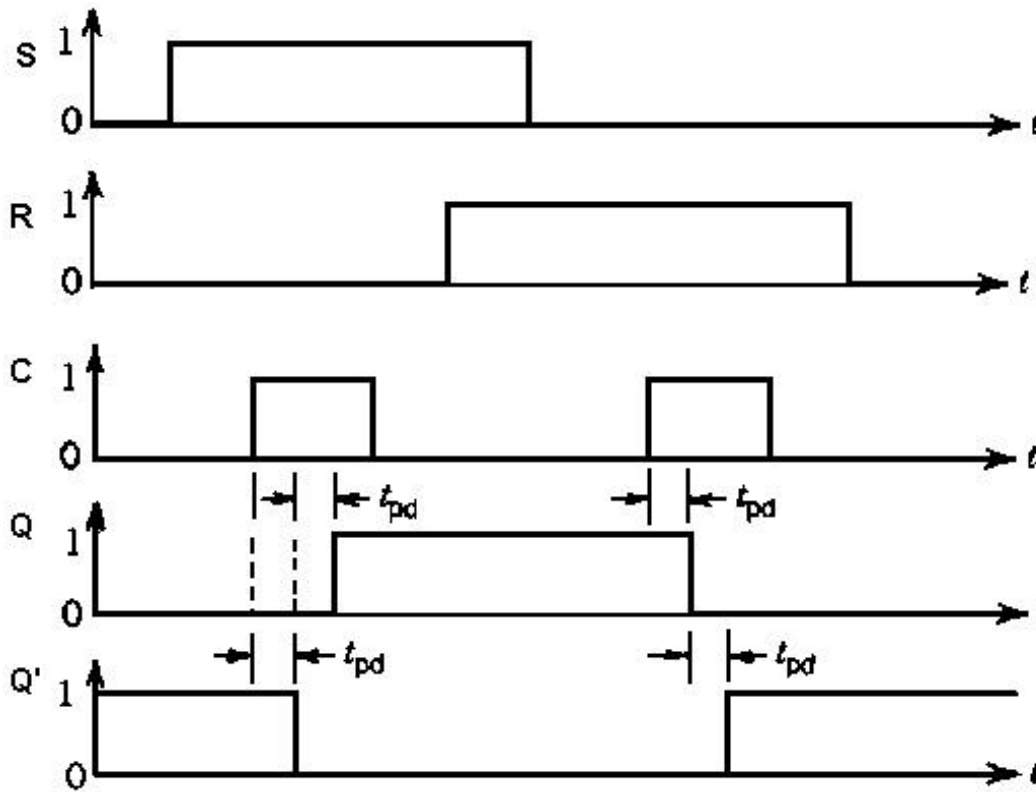


Figura 4-9 Diagrama de tiempos del SR con habilitación

En conclusión, el pulso de entrada C , debe durar el tiempo suficiente tal que el efecto del nuevo valor de entrada se propague por el multivibrador. El valor mínimo se determina por análisis de los retardos resultando en este caso $2t_{pd}$. Es de notar que el cambio de estado de Q' ocurre al inicio del pulso de entrada C , es decir, en su borde ascendente. En todos los multivibradores biestables con habilitación, las entradas deben permanecer estables (sin cambio) durante el nivel del pulso de activación.

Aunque dibujando las señales de entrada y salidas de un circuito se puede indicar como funciona este método no es práctico, obsérvese que ningún circuito responde instantáneamente y que el biestable posee un retardo de respuesta. Sin embar-

go, los diagramas de tiempo son de mucha utilidad para comprender los circuitos integrados secuenciales basados en biestables sincronizados o activados por borde.

Tabla y ecuación de transición

La tabla de transición del biestable SR con habilitación se muestra en la tabla 4-5. La ecuación de transición correspondiente a $Q(t+1)$ se puede obtener utilizando la tabla de la verdad, un mapa de Karnaugh o por álgebra de Boole, siendo:

$$Q(t+1) = [S R' + Q(t) R'] C + Q(t) C'$$

C	S	R	Q (t+1)	
0	X	X	Q (t)	Latch o memoria (no cambia)
1	0	0	Q (t)	Latch o memoria (no cambia)
1	0	1	0	Puesta a cero (Reset)
1	1	0	1	Puesta a uno (Set)
1	1	1	0	

Tabla 4-5 Tabla del biestable S R con habilitación

EJEMPLO 4-1

Explique el funcionamiento del circuito de la figura 4-10.

¡Error! Imposible crear objetos modificando códigos de campo.

Figura 4-10 Biestable data realizado con FF S R

Solución:

La notación de las variables del circuito, similar al biestable tipo D, dan una idea del funcionamiento del circuito.

Del circuito tenemos que:

$$S=D \text{ y } R=D'$$

$$Q(t+1) = [S R' + Q(t) R'] C + Q(t) C' \quad (\text{Ec. de transición}).$$

Por lo que la ecuación de transición se convierte en:

$$Q(t+1) = [D (D')' + Q(t) (D')']C + Q(t) C'$$

$$Q(t+1) = D C + Q(t) C'$$

La ecuación indica que el circuito se comporta como un biestable tipo D.

4.1.5 BIESTABLE J K CON HABILITACIÓN

El biestable J K es un refinamiento del S R en el sentido de que el estado ambiguo $Q = Q'$ ya no ocurre. En la figura 4-11 se ve el circuito donde se definen las entradas como J (set) y K (reset). Cuando se aplica un 1 a ambas entradas (estado incorrecto en el S R) el biestable J K cambiará al complemento del estado actual, es decir, si $Q = 0$ cambia a $Q = 1$ y viceversa. En este circuito la salida cambia en el flanco de bajada de la señal de activación C, esto se debe a que los biestables están interconectados en la forma denominada maestro esclavo la cual se explicará posteriormente. La operación del flip flop se puede observar en la tabla de transición (tabla 4-6).

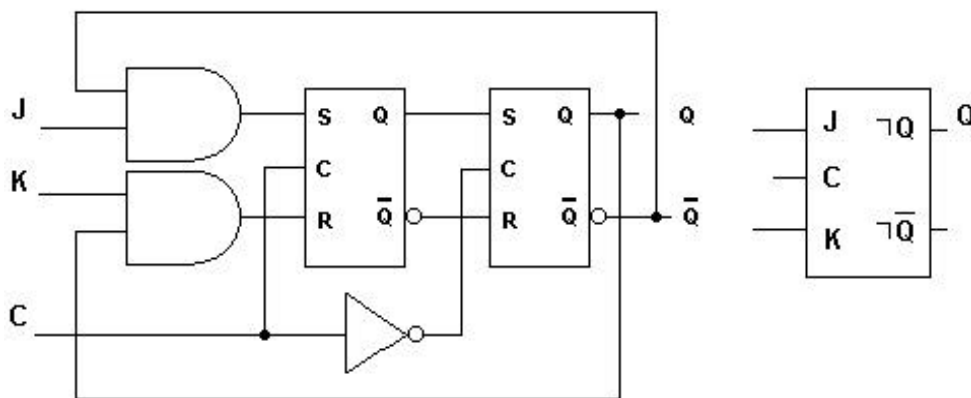


Figura 4-11 Biestable J K

C	J	K	Q (t+1)	
0	X	X	Q (t)	Latch o memoria (no cambia)
1	0	0	Q (t)	Latch o memoria (no cambia)
1	0	1	0	Puesta a cero (Reset)
1	1	0	1	Puesta a uno (Set)
1	1	1	Q'(t)	Complementa el valor anterior

Tabla 4-6 Tabla de transición del Biestable J K

Diagrama y ecuación de transición

Del diagrama de transición de la figura 4-12 se nota que hay mayor flexibilidad en un biestable J K que en un tipo D o S R a la hora de asignar valores a las entradas.

Observemos que haciendo la entrada $K = J'$ el diagrama es idéntico al del bi-estable tipo D. Esta característica es lo que permite simplificar circuitos y poder formar con el J K cualesquiera otro de los biestables.

Se puede comprobar con un análisis del circuito que la ecuación de transición del dispositivo (para $C=1$) es:

$$Q(t+1) = J Q'(t) + Q(t) K'$$

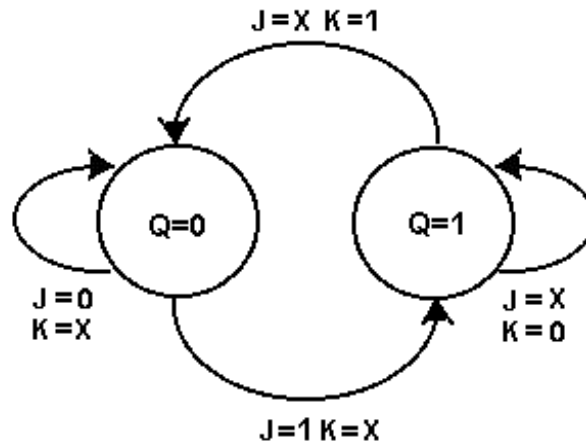


Figura 4-12 Diagrama de transición del biestable J K ($C=1$)

4.1.6 MEMORIAS CON BIESTABLES

En la figura 4-13 se muestra el diagrama de un sistema digital general, en él se diferencian los circuitos combinacionales y los circuitos secuenciales. Las entradas y salidas pueden ser señales de nivel o pulsos y los circuitos secuenciales actúan como memoria del sistema con diversos fines.

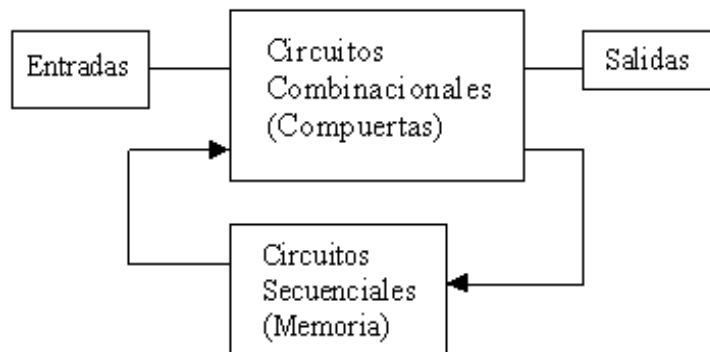


Figura 4-13 Esquema de un circuito secuencial

El biestable Tipo D y el S R con entrada de habilitación, pueden ser utilizados para almacenar información. La activación de la entrada C permite que la salida Q tome el valor de la información (proceso llamado escritura), luego la desactivación de la entrada C permite colocar al biestable en estado de memoria (latch). La escritura en memoria ocurre con la condición de que la información válida esté en la entrada del biestable al momento en que se produzca un pulso de activación o habilitación.

Los circuitos biestables (asíncronos) están constituidos por compuertas lógicas y un lazo de realimentación, poseen una condición o estado de memoria consecuencia de los retardos y la realimentación de las compuertas lógicas. En general, un elemento con retardo actuará como dispositivo de memoria; es por ello que los biestables y dispositivos secuenciales también siguen el esquema de la figura 4 13.

4.2 BIESTABLES SINCRONIZADOS

Como se indica en la figura 4-13, los sistemas secuenciales poseen una trayectoria de realimentación entre la parte combinacional y los elementos de memoria. Esta trayectoria puede producir inestabilidad si las salidas de los biestables están cambiando mientras que las salidas de circuito combinacional, que van a las entradas de los biestables, también lo hacen. Este problema de temporización puede ser evitado si las salidas de los elementos de memoria no empiezan a cambiar hasta que su pulso de habilitación haya retornado a cero. Para asegurar esto, un biestable debe tener un retardo de propagación de la señal de la entrada hasta la salida mayor que la duración del pulso. Una forma de lograrlo es incluyendo dentro del circuito del biestable un retraso físico igual o mayor que la duración del pulso.

En un principio, se diseñaron dispositivos (los flip flops "amo esclavos") que cambiaban con la parte o borde trasero del pulso, cuando es así el dispositivo se llama biestable sincronizado o activado por borde (flanco).

Los biestables sincronizados están diseñados de forma que cambien de estados en una u otra de las transiciones de la señal de activación.

4.2.1 SEÑAL DE RELOJ

La señal mediante la cual un biestable almacena información es un pulso; en dispositivos asíncronos el almacenamiento o activación ocurrirá por nivel mientras que en biestables sincronizados ocurrirá en el borde del pulso. La figura 4-14 muestra la

señal cronómetro o señal de reloj y las transiciones de cada pulso, también denominados flancos o bordes de subida (TPP) y bajada (TPN). En el caso de que la duración del nivel alto sea la misma de la del nivel bajo se dice que la señal presenta un ciclo de trabajo (Duty Cycle) del 50%.

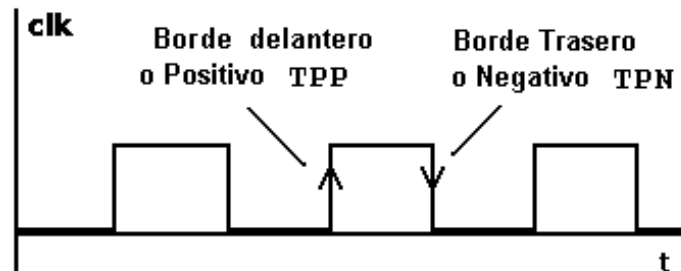


Figura 4-14 Señal de sincronización o Reloj

En los sistemas secuenciales síncronos los tiempos exactos en que alguna salida puede cambiar quedan determinados por la señal de reloj. La señal del reloj se distribuye a todas las partes del sistema y la mayoría de las salidas del sistema pueden cambiar de estado sólo cuando el reloj hace una transición.

La acción de sincronización de las señales del reloj se logra a través del uso de biestables sincronizados por reloj, también denominados flip flops (F F).

Disparo de un FF

El estado de un F F sincronizado se altera en la transición de la entrada de reloj. Esta transición y el cambio que esto provoca se llama "**disparo**" (Triggering).

El intervalo de tiempo desde la aplicación del pulso o nivel hasta que ocurre la transición a la salida es un factor crítico y difícil de establecer en el funcionamiento de los biestables asíncronos, en los circuitos sincronizados esto no es así puesto que el cambio en la salida sucede en los flancos. El precio que se paga por esta seguridad es la velocidad de trabajo de los sistemas sincronizados, la cual queda establecida principalmente por los retardos de los flip flops.

4.2.2 FLIP FLOP AMO ESCLAVO

Una manera de obtener el cambio de la salida con el borde trasero del pulso es usando dos biestables habilitados por nivel en cascada; uno que almacena la información de entrada durante el cambio de la entrada de activación de 0 a 1 y otro que

cambia la salida durante el cambio de 1 a 0 (borde trasero). Esta combinación se denomina flip flop "amo esclavo" (master slave).

Una combinación amo esclavo puede ser construida usando cualquier tipo de flip flop. Así, un F F SR que se activa con nivel alto (borde de subida) se convierte en amo, y otro F F SR con una entrada de activación invertida se conecta de modo que actúe como esclavo, tal como en la figura 4-15, se tendrá un F F amo esclavo cuya salida cambia en la transición negativa de la señal clk.

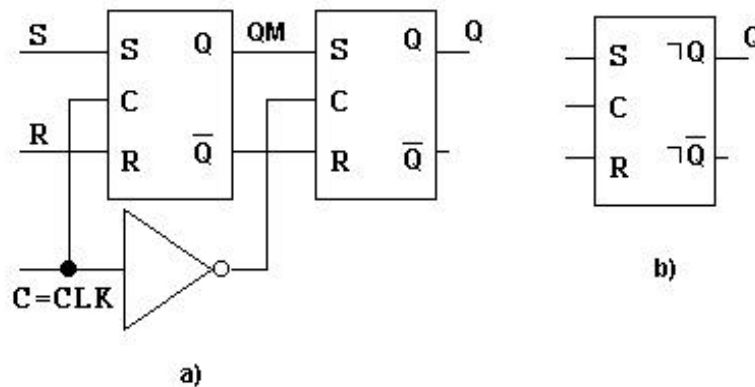


Figura 4-15 a) Flip flop S R master slave b) Símbolo

La figura 4-16 muestra el comportamiento del flip flop SR maestro esclavo para un conjunto de valores de entrada.

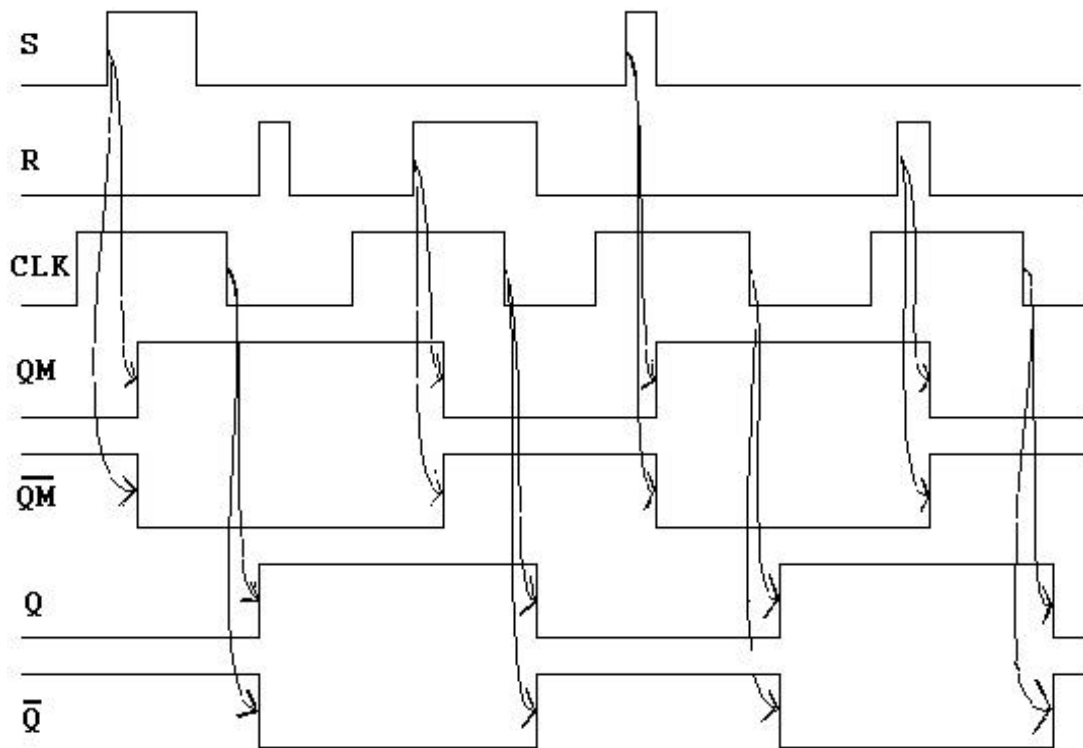


Figura 4-16 Diagrama de tiempos del FF SR amo esclavo

El funcionamiento de un FF amo esclavo es el de un biestable que sigue sus entradas durante todo el intervalo en que CLK está ALTO, pero que cambia su salida, para reflejar el valor final retenido, sólo cuando CLK pasa a BAJO. En el símbolo un indicador de salida pospuesta indica que la señal de salida no cambia hasta que se niegue la entrada de habilitación CLK. A los flip flops con esta clase de comportamiento se les llama algunas veces flip flops disparados por pulso.

4.2.3 FF DISPARADOS POR BORDE

Los F F amo esclavo tienen el defecto o riesgo conocido como captura de unos y han sido reemplazados por los FF activados por borde o flanco (edge).

El biestable es esencialmente un circuito secuencial asíncrono, añadiendo algunas compuertas a las entradas del circuito básico, podemos hacer que responda a niveles de las entrada solo durante la transición o borde del pulso del reloj.

Símbolos

En la figura 4-17 se pueden observar los símbolos de dos FF activados por bordes positivos y negativos. Un FF habilitado (enable) por borde se identifica por me-

dio de la entrada del pulso de reloj la cual presenta un pequeño triángulo dentro de la caja. Los símbolos de los flip flops utilizados en las diversas publicaciones comúnmente se rigen por el estándar ANSI/IEEE Std 91 de 1984 y la publicación IEC 617-12.

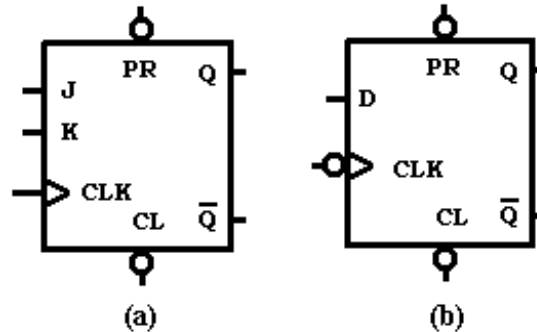


Figura 4-17 (a) FF de borde positivo TPP (b) FF de borde de negativo TPN

Tipos de entradas

En los flip flops se pueden clasificar las entradas de acuerdo al modo en que tienen efecto en la salida. Se llaman entradas asíncronas o directas aquellas que, en el momento de ser activadas, producen un cambio en la salida independientemente de la señal reloj. Las señales asíncronas normalmente son:

- El Reset o Clear (borrado) representado con las letras R o CL. Permite la puesta de la salida al valor 0 .
- El Set o Preset (puesta a uno) designado con PR. Ocasiona la puesta de un nivel alto en la salida.

Los fabricantes no han llegado a un acuerdo sobre la nomenclatura de las entradas asíncronas. A continuación se proporcionan las denominaciones más comunes:

Entrada Inicio Asíncrona:	Entrada Borrar Asíncrona:
Inicio en CD	Borrar en CD
Preinicio (PRE)	Borrar (CLR)
Inicio	Reinicio
SD (Inicio Directo)	CD (Borrado Directo)

Las entradas síncronas son activadas por nivel pero afectan la salida en el instante de la transición de la señal de reloj. Estas dependen del tipo de FF y son:

- Entradas de datos: D, J y K, T etc.
- Entrada Clear o Reset sincronizada. Si está activa (por nivel) justo antes del flanco de la entrada de reloj, pone la salida al valor de 0 en el instante de la transición.

- Entrada Preset sincronizada. Si está activa (por nivel) justo antes del disparo, pone la salida al valor de 1 en el instante de la transición del reloj.

Frecuentemente las entradas Clear y Preset son asíncronas; en todo caso, solo con la especificaciones del fabricantes se podrá determinar si son o no entradas sincronizadas.

Tabla y diagrama de transición

La tabla de transición y funcionamiento de los FF disparado por borde, son similares a los de los biestables y solo difieren en que aparece la representación del borde donde cambia la salida (tabla 4-7).

En cuanto al diagrama de transición que se estila usar para representar el comportamiento de los flip flops, estos son idénticos a los de los biestables accionados por nivel, solo que en este tipo de diagrama los arcos representan el cambio de estado en el momento de la transición del reloj.

4.2.4 FLIP FLOP TIPO D (EDGE)

Puesto que los FF disparados por borde se derivan de los biestabes habilitados por nivel, su funcionamiento es parecido y difiere solo en el método de habilitación, es decir, el cambio en la salida Q solo ocurre en el borde de activación.

En la figura 4-18 se puede ver el circuito de un biestable tipo D síncrono o flip flop D y en la figura 4-19 el símbolo correspondiente.

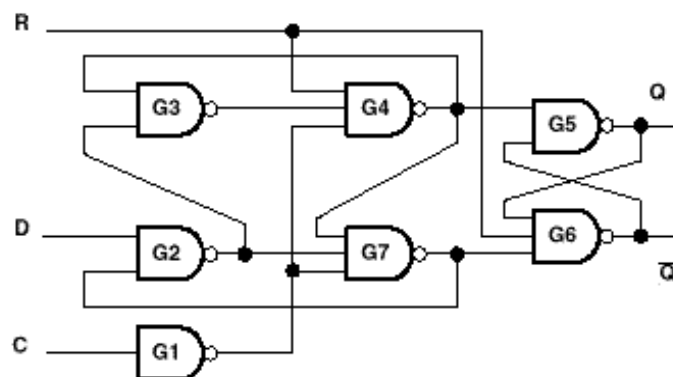


Figura 4-18 Flip flop D activado por flanco (edge)

Tal como lo indica la tabla de transición (tabla 4-7) las conexiones del FF tienen las siguientes funciones:

- La entrada síncrona de datos D. Afecta la salida con la señal de reloj.

- La entrada de reloj C o disparo por flanco (edge) de subida.
- La entrada asíncrona R (activa con nivel bajo). Afecta la salida directamente cuando se activa.
- Las salidas Q y Q' , las cuales solo cambian en el borde positivo de la señal de disparo.

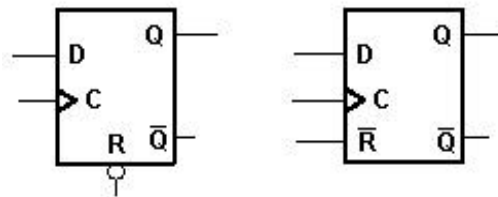


Figura 4-19 Símbolos del FF tipo D (edge)

C	R	D	Q_{t+1}
	1	0	0
	1	1	1
X	0	0	0
X	0	1	0

Tabla 4-7 Tabla del F F tipo D (edge)

El funcionamiento del FF es similar al del biestable tipo D:

- Cuando en la entrada C ocurre una transición positiva; el dato o información presente en D justo antes del flanco, es transferido a la salida justo después del flanco ($Q(t+1)$).
- El flip flop mantiene en Q el dato que estuvo presente justo antes que la entrada C hiciera la transición de subida. El dato se almacena hasta la siguiente transición positiva.
- Si la entrada R (reset) es activa, la salida toma el valor 0. Permite colocar la salida Q en bajo sin importar el estado de sus otras entradas.

4.2.5 CARACTERÍSTICAS DE CONMUTACIÓN

Al igual que con los circuitos combinacionales, es necesario comprender las limitaciones en el tiempo de los flip flops. El comportamiento de los circuitos secuenc-

les en el tiempo se puede entender a través de las características de conmutación dadas por los fabricantes.

Tiempos de propagación

Los retardos de propagación de un biestable o cualquier circuito secuencial, se puede determinar analizando la influencia de cada uno de los retardos de las compuertas internas del circuito. Los fabricantes de circuitos proporcionan los retardos de propagación como parámetros estándar (t_{pd} , t_s , t_h , t_{PLH} y t_{PHL}) de las señales de entrada y salida.

En la figura 4-20 se puede ver el retardo de propagación (FF tipo D) desde el momento de transición del reloj hasta su efecto en las salidas Q y Q'.

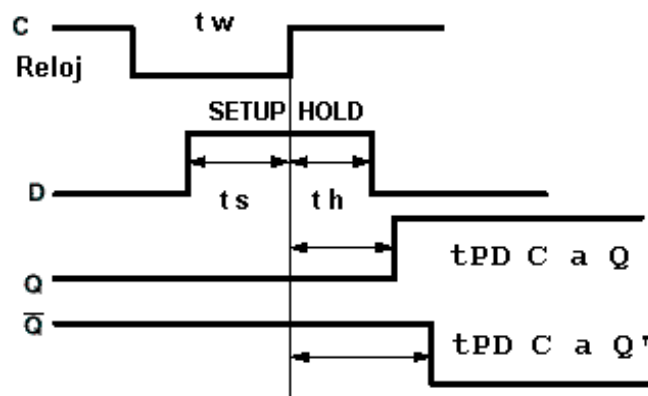


Figura 4-20 Tiempos de propagación en un FF D

El retardo t_{PLH} o t_{PD1} de una entrada X_i a una salida es el tiempo que tarda un cambio de señal en X_i (con todas las demás entradas en valores constantes) en ocasionar la aparición de una transición de baja a alta en la salida.

El parámetro t_{PHL} o t_{PD0} es el tiempo requerido para que un cambio en X_i ocasione una transición del nivel alto al bajo en la salida.

El diagrama de tiempos de la figura 4-21 ejemplifica cómo los retardos afectan la respuesta del FF, el análisis con el que se llega a estos resultados no tiene mayor interés y es similar al realizado con el biestable SR con habilitación.

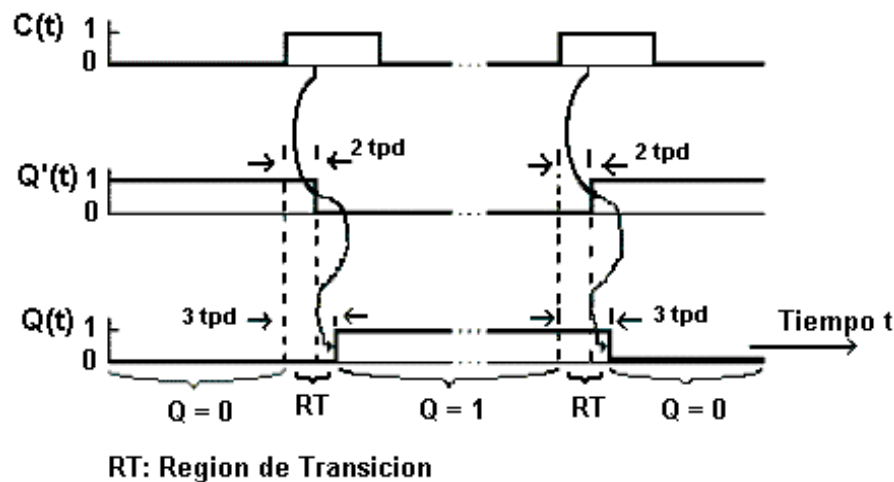


Figura 4-21 Diagrama de tiempos del flip flop D

Los tiempos de retardo de propagación que proporcionan los fabricantes no siempre son sencillos de usar, la figura 4-22 muestra las variaciones de los tiempos de propagación en relación a las diferentes tecnologías.

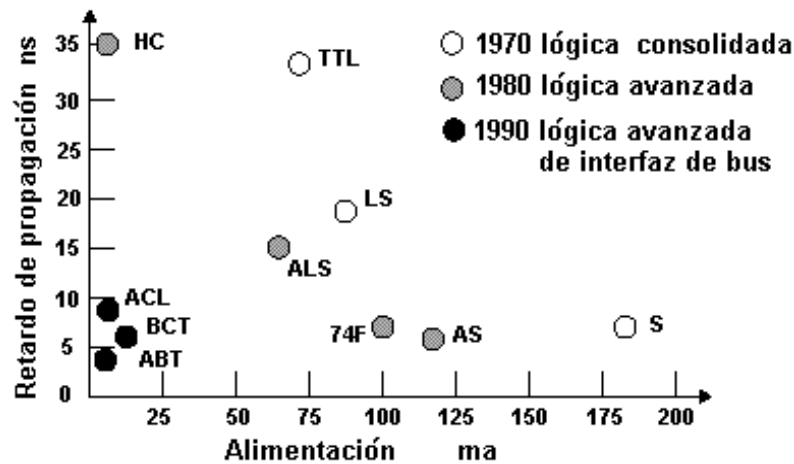


Figura 4-22 Tiempos de retardos de diferentes tecnologías

Fuente: Texas Instruments Inc. Logic Selection Guide and Databook. 2/E, Texas Instruments, Dallas, 1997

Tiempos de establecimiento y de retención

Los fabricantes siempre especifican los valores mínimos de retardos llamados tiempos de establecimiento y de retención (t_s y t_h). Los tiempos de establecimiento y retención deben cumplirse con el fin de lograr una activación confiable de los flip flops.

El tiempo de establecimiento **ts** o Setup es el intervalo que precede inmediatamente a la transición activa de la señal de reloj durante la cual la entrada síncrona D tiene que mantenerse sin cambio.

El tiempo de mantenimiento **th** o Hold es el intervalo que sigue inmediatamente a la transición activa de la señal de reloj durante la cual la entrada síncrona D tiene que mantenerse sin cambio.

Estos requisitos de tiempo son muy importantes, puesto que existirán situaciones donde las entradas síncronas se conecten a la salida de otro FF, existiendo la posibilidad de que cambien aproximadamente al mismo tiempo que la entrada del reloj. Afortunadamente, las interconexiones entre circuitos integrados de una misma tecnología no requieren de mayores estudios en frecuencias de trabajo típicas.

Ancho del pulso de entradas asíncronas

El fabricante especifica igualmente el tiempo mínimo que una entrada PRESET o CLEAR tiene que mantenerse en su estado activo a fin de establecer el estado correspondiente en la salida del flip flop.

Frecuencia máxima de reloj

Esta es la máxima frecuencia que se puede aplicar a la entrada CLK de un FF con el fin de dispararlo confiablemente. El límite f_{MAX} variará de un FF a otro aunque tengan el mismo número de dispositivo, esto lo indica la hoja de datos con sus valores mínimos y máximos.

Ancho del pulso del reloj

El fabricante también especifica el tiempo mínimo que la señal CLK debe permanecer en bajo (denotado $t_W(L)$) y el tiempo mínimo que el CLK debe conservarse en alto (denominado $t_W(H)$). Nótese que estos valores de tiempo se miden entre los puntos medios en las transiciones de señal.

Tiempos de transición del reloj

Con el fin de lograr un disparo confiable, los tiempos de transición **tr** y **tf** (subida y bajada) de los flancos de la onda del reloj deben ser muy cortos. Si la señal de sincronización emplea demasiado tiempo en efectuar las transiciones de un nivel a

otro, el FF puede dispararse de manera errónea o parcial. Estos requisitos variarán ligeramente entre los diferentes fabricantes y entre las diversas tecnologías.

Especificaciones del fabricante

Las figura 4-23 y figura 4-24 aclaran las definiciones dadas en la hoja de datos del fabricante, mediante estas se pueden entender y definir las diferentes restricciones en tiempo de los flip flops.

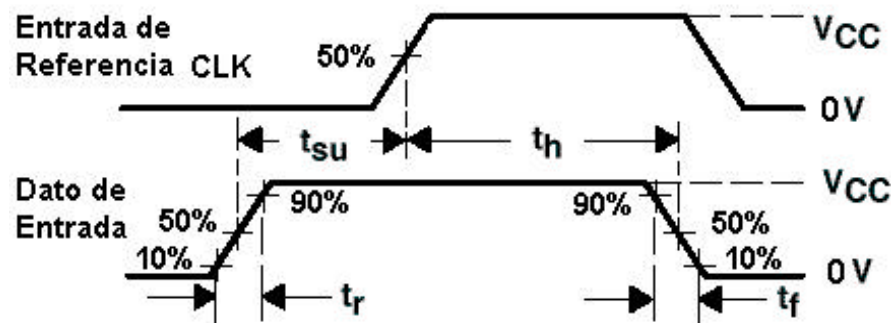


Figura 4-23 Definiciones de conmutación de las entradas Fuente: Idem

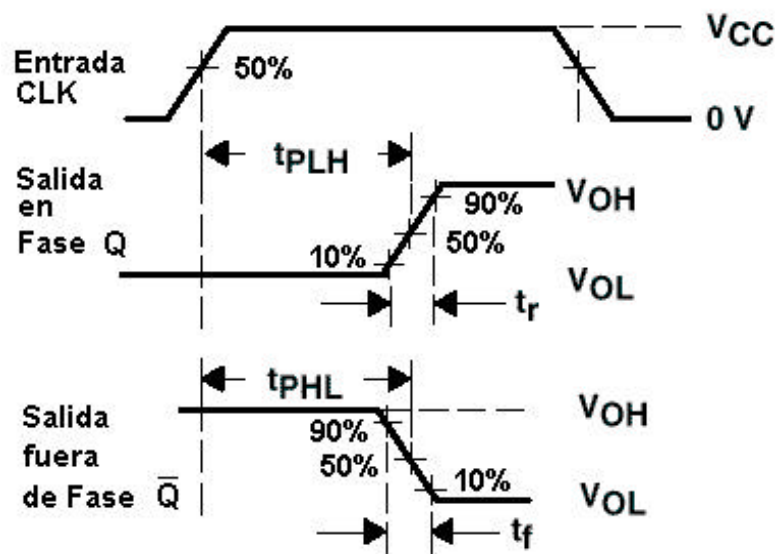


Figura 4-24 Definiciones de conmutación de las salidas Fuente: Idem

La tabla 4-8 es un ejemplo de todas las características de conmutación dadas por un fabricante (Texas Instruments) para un circuito integrado con cuatro flip flops tipo D de la familia 74HC.

		VCC	TA= 25° C		74HC174		UNIT
			MIN	MAX	MIN	MAX	
fclock		2V	0	0	0	5	MHz
		4.5V	0	31	0	25	
		6V	0	36	0	29	
tw	CLR (L)	2V	80		100		ns
		4.5V	16		20		
		6V	14		17		
	CLK (H o L)	2V	80		100		
		4.5V	16		20		
		6V	14		17		
tsu	Data	2V	100		125		ns
		4.5V	20		25		
		6V	17		21		
th		2V	0		0		ns
		4.5V	0		0		
		6V	0		0		

	FROM	TO	VCC	TA= 25° C		MAX	74HC174		UNIT
				MIN	TYP		MIN	MAX	
fmax			2V	6	9		5		MHz
			4.5V	31	44		25		
			6V	36	50		29		
tpd	CLR	ANY	2V		58	160		200	ns
			4.5V		17	32		40	
			6V		14	27		34	
	CLK	ANY	2V		58	160		200	
			4.5V		17	32		40	
			6V		14	27		34	

Tabla 4-8 Características de conmutación del SN74HC174 Fuente: Idem

4.2.6 FLIP FLOP TIPO J K (EDGE)

En la figura 4-25 se muestra el símbolo de un flip-flop J K disparado por transición de pendiente negativa TPN y pendiente positiva TPP.

Se puede comprender el funcionamiento del FF disparado por TPP con base a la tabla de funcionamiento (tabla 4-9). Las entradas J y K controlan el estado del FF de igual forma en que lo hacen con el biestable J K habilitado, con la excepción de que el cambio en la salida ocurre en el borde de la señal de reloj. Debe observarse también que la transición con pendiente negativa de los pulsos de reloj no afecta el FF y que los

niveles de entrada J y K no tienen efecto, excepto cuando aparece el flanco positivo de la señal del reloj.

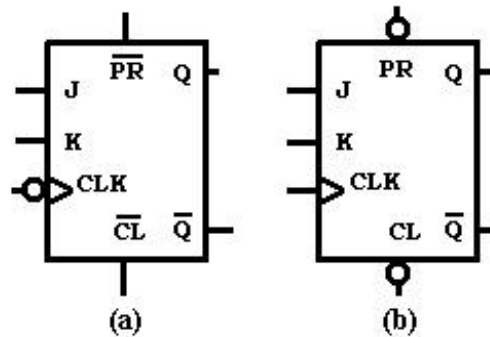


Figura 4-25 Símbolo de FF J K (a) TPN (b) TPP (edge)

El comportamiento del dispositivo en relación con las entradas asíncronas también se puede ver en la tabla de funcionamiento.

CLK	PR	CL	J	K	Q _n	Q' _n	
↑	1	1	0	0	Q	Q'	No cambia
↑	1	1	1	0	1	0	
↑	1	1	0	1	0	1	
↑	1	1	1	1	Q'	Q	Se complementa.
X	0	1	X	X	1	0	
X	1	0	X	X	0	1	
X	0	0	X	X	H↑	H↑	No estable

Tabla 4-9 Tabla de funcionamiento del FF J K (TPP)

El componente SN74F109 es un circuito integrado con dos flip flops del tipo J K como el de la figura 4-26 (a).

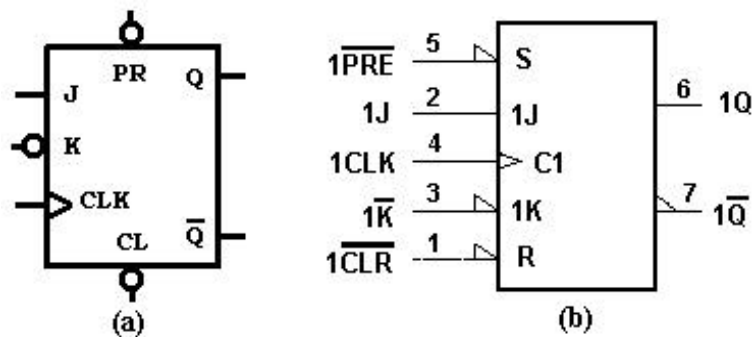


Figura 4-26 Símbolos del SN74F109 Fuente: Idem

La figura 4-26 (b) es la representación de uno de los FF del 74F109 según el estándar ANSI/IEEE y en ella se identifican los pines de conexión.

Entradas					Salidas	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	J	$\overline{\text{K}}$	Q	$\overline{\text{Q}}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	\uparrow	L	L	L	H
H	H	\uparrow	H	L	$\overline{\text{Q0}}$	Q0
H	H	\uparrow	L	H	Q0	$\overline{\text{Q0}}$
H	H	\uparrow	H	H	H	L
H	H	L	X	X	Q0	$\overline{\text{Q0}}$

Tabla 4-10 Tabla de funcionamiento del FF J K del SN74F109 *Fuente: Idem*

Igual que la tabla de funcionamiento (tabla 4-10), la ecuación de funcionamiento indica el comportamiento del flip flop en el flanco:

$$Q(t+1) = J Q'(t) + Q(t) K'$$

El valor antes y después del flanco de transición puede ser expresado de diferentes formas:

Valor antes del Flanco: Q, Q(t), Qn, Q0.

Valor después del Flanco: Q*, Q(t+1), Qn+1, Q

4.2.7 FLIP FLOP TIPO T (TOGGLE)

Cuando ambas entradas de un FF J K están activas el FF se coloca en modo de basculamiento (toggle), la salida siempre pasará al valor opuesto que tiene justo antes que se efectúe la transición. Por tanto, conectando las entradas JK de forma permanente a 1 se tiene un dispositivo, denominado flip flop tipo T, cuya salida cambiará al estado complementario con cada pulso del reloj (figura 4-27).

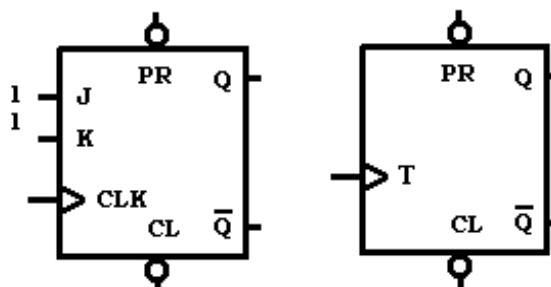


Figura 4-27 Equivalencia del FF tipo J K con el tipo T

La figura 4-28 presenta otra versión del flip flop tipo T donde la entrada permite colocar al flip flop en dos modos de funcionamiento:

$T = 0$, Memoria. Salida sin cambio.

$T = 1$, Toggle. La salida se complementará (basculará) con el disparo.

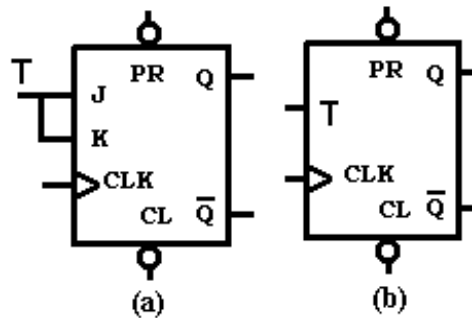


Figura 4-28 Símbolos del FF tipo T

4.2.8 SINCRONIZACIÓN

A los sistemas secuenciales frecuentemente llegan señales de entrada asíncronas con el reloj. Estas entradas son lentas en comparación con la frecuencia del reloj y normalmente no se necesita que el sistema reaccione a este tipo de entrada en más de un flanco del reloj. Sin embargo, dado que un sistema secuencial sincronizado cambia sus estados y salidas en los flancos del reloj, una señal de entrada asíncrona (reset, preset etc.) pudiera dar lugar (por retardos de propagación) a salidas no sincronizadas, estados metaestables o carreras. Es por ello que puede darse la necesidad de sincronizar este tipo de señales.

La figura 4-29 muestra un circuito que permite sincronizar una señal de entrada A, en este caso la salida A_s puede ser usada como entrada a un circuito secuencial sincronizado. Aunque el circuito sincronizador es práctico para muchos fines, pudiera todavía presentar problemas si los dispositivos (flip flops y compuerta) tienen una baja frecuencia de trabajo.

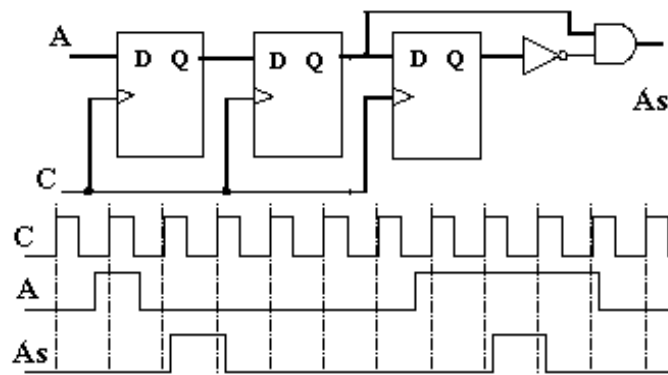


Figura 4-29 Sincronizador

4.3 DISPOSITIVOS AUXILIARES

De igual manera que el sincronizador anterior, hay una serie de circuitos que proveen soluciones ante algunas necesidades o problemas en los sistemas digitales.

4.3.1 DISPOSITIVOS DE DISPARO TIPO SCHMITT

En los sistemas digitales frecuentemente se hace necesario adecuar señales de entrada, ya sea porque presentan altas variaciones o por sus altos tiempos de transición. Estas señales, sino son acondicionadas debidamente, pueden producir diferentes fallas: metaestabilidad, ruido, oscilaciones etc. Un circuito con entrada tipo Schmitt puede resolver algunos de estos problemas.

La figura 4-30 muestra el símbolo de un inversor con entrada Schmitt; obsérvese el símbolo que identifica a los dispositivos con este tipo de entradas. Tal como se puede ver en la característica entrada/salida del inversor SN74AHC14 (figura 4-31), la entrada solo producirá cambio en la salida cuando esta alcance los niveles umbrales VT+ (cuando la entrada va en aumento) o VT- (cuando la entrada va disminuyendo).

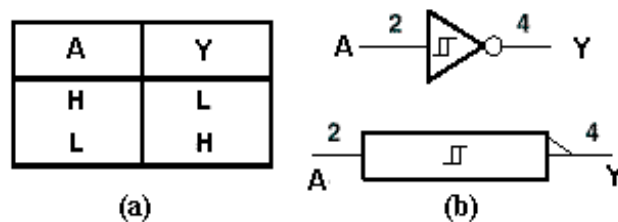


Figura 4-30 Inversor Schmitt (a) Tabla (b) Símbolos

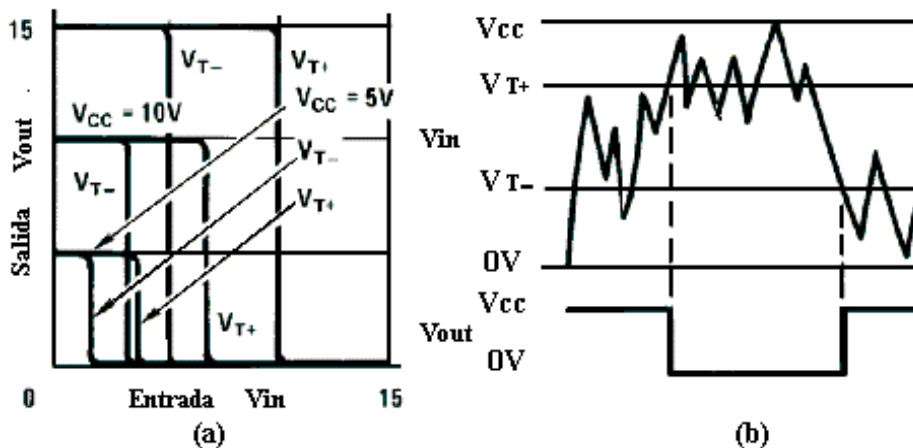


Figura 4-31 Inversor Schmitt (a) Característica (b) Señales V_{in} vs V_{out} Fuente: Idem

Las entradas con disparo Schmitt (Schmitt Trigger), presenta una característica tipo memoria que lo hace útil en ciertas situaciones. Cualquier dispositivo con una entrada del tipo Schmitt está diseñado para aceptar una señal que cambia con lentitud, o que varía como la mostrada en la figura 4-31 (b), y producir una salida libre de oscilaciones. En general, la salida tendrá tiempos de transición muy breves que son independientes de la características de la señal de entrada.

4.3.2 MULTIVIBRADOR MONOESTABLE

El multivibrador (MV) monoestable o de un solo estado estable posee una salida Q y Q' que al igual que el flip flop cambia con la transición de una señal de disparo, la diferencia radica en que permanece en ese estado solo por un tiempo determinado. El tiempo que dura el estado inestable es proporcional a una constante $t_d = RC$ establecida por componentes externos conectados al dispositivo. Después de transcurrido este retardo t_d , las salidas del MV monoestable regresan a su estado estable hasta que vuelva a ser disparado.

Por tanto, la salida de un monoestable será un pulso (positivo o negativo) que se inicia en el momento del disparo y finaliza luego de un tiempo proporcional a t_d , en la figura 4-32, se observan las formas de ondas de entrada y salida además del símbolo del monoestable comercial DM 96L02 de la National Semiconductor.

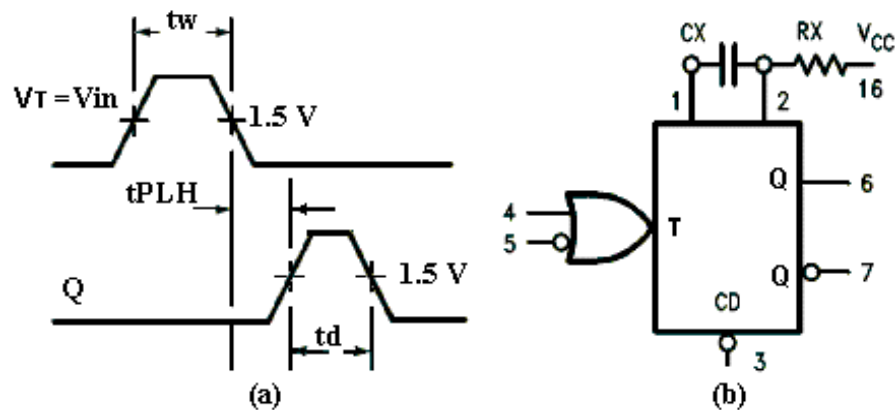


Figura 4-32 Monoestable (a) Diag. de tiempos (b) Símbolo Fuente: Idem

La duración del pulso de salida puede ajustarse variando los valores de la resistencia R y del capacitor C , dicha duración es aproximadamente igual a $t_d = 0,7RC$. Para cálculos exactos se debe recurrir a las especificaciones del fabricante.

Existen dos tipos de monoestables:

- Monoestable no reactivable: Aquel en que la duración del estado de salida siempre es la misma, independientemente de que presente otro disparo durante el intervalo t_d .
- Monoestable Reactivable : Este monoestable tiene la propiedad de poder volverse a disparar mientras se encuentre en su estado temporal o inestable dando origen al inicio de un nuevo retardo t_d .

Monoestable con compuertas

Estados de transición de corta duración se pueden implementar con compuertas como el ejemplo de la figura 4-33. Tanto la entrada de impulsos como la salida del monoestable se encuentran a nivel alto durante el estado estable. Cuando en la entrada de impulsos se recibe un nivel bajo, la salida también pasa a nivel bajo durante un determinado tiempo, que depende de la constante RC .

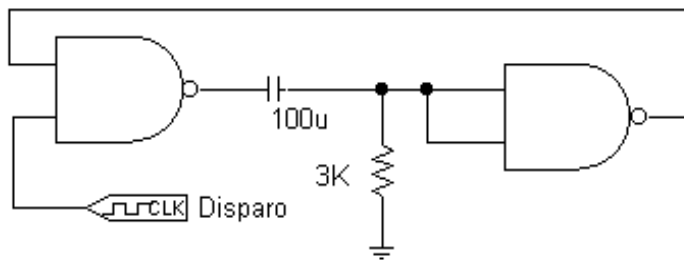


Figura 4-33 Monoestable con compuertas

4.3.3 MULTIVIBRADORES ASTABLES

Los multivibradores astables son componentes con salida lógica pero que no tienen estados estables, cambian su salida una y otra vez en constante oscilación entre dos estados. Ellos son útiles en la generación de señales de reloj, tanto es así que existen diversos circuitos integrados desarrollados para trabajar como osciladores, tal es el caso del muy vendido C.I. 555. Estos circuitos también se pueden construir usando diferentes tipos de compuertas.

4.3.4 SALIDAS DE TRES ESTADOS

Las salidas con tres estados son una característica de ciertos dispositivos lógicos que además de los dos estados comunes (alto y bajo) pueden proporcionar un estado de alta impedancia en la salida denominado Hi Z. Este estado también se llama estado Tri-state (Tri-state es una marca registrada de National Semiconductor).

Existen situaciones donde es deseable desconectar o aislar el terminal de salida de un dispositivo, del resto de sus circuitos internos, de forma tal que pase a estar libre o flotante. Esto se logra a través de la llamada lógica de tres estados.

La compuerta no inversora de la figura 4-34 dispone de tres estados en su salida 1Y, el triángulo en el terminal de salida es el símbolo utilizado en los circuitos digitales que identifica las salidas con tres estados.

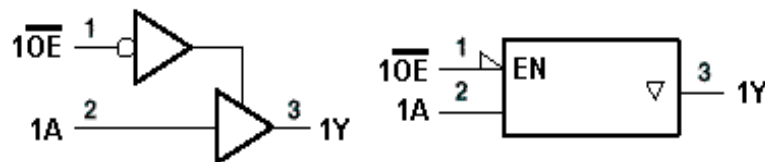


Figura 4-34 Símbolos de compuertas con salida de tres estados

Todos los dispositivos de tres estados se caracterizan por poseer una entrada de control adicional llamada habilitador (enable) o línea de inhibición. Cuando la entrada de inhibición se desactiva, la salida se sitúa en el estado de alta impedancia. Mientras la entrada de habilitación esté activada, el dispositivo desarrolla su lógica normal.

4.3.5 EL BUS DE DATOS

Un bus es un conjunto de conductores o líneas de cables en donde las informaciones binarias se mantienen debido a las salidas de circuitos tales como registros. Los buses están formados de un conductor por cada bit de información y alimentan la entrada de varios circuitos.

Los buses frecuentemente conectan las salidas de varios dispositivos (como registros de datos), esto es posible por la utilización de salidas con tercer estado. Así por cada conductor (bit) en el bus solo una salida de las conectadas al bus no estará en tercer estado, pudiendo ser usada la información de dicha salida por cualquier dispositivo cuya entrada este conectada al conductor. La figura 4-35 es de un circuito con un bus de datos tal como lo representa un software de diseño o CAD.

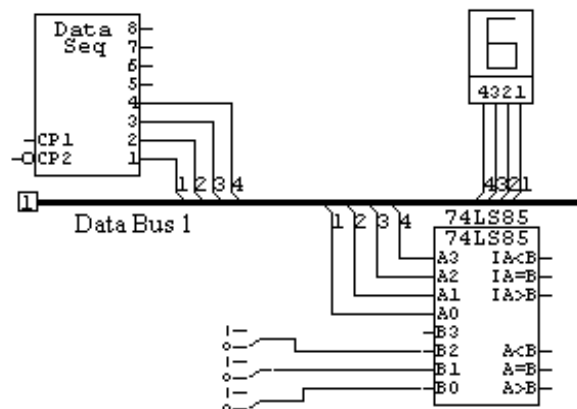


Figura 4-35 Bus o canal de datos

En general el bus o canal de datos permite a diferentes componentes colocar a disposición de otros la información presente en sus salidas. Es obvio que deben existir formas de controlar o dirigir el tráfico de datos en forma eficiente y correcta.

4.4 ANÁLISIS DE CIRCUITOS SINCRONIZADOS

El análisis de circuitos secuenciales se puede abordar de dos formas:

- Determinando las características del circuito a través del diagrama de transición, ecuaciones de transición, tabla de funcionamiento y diagramas de tiempo, esto permite crear un modelo del circuito.
- Describiendo el circuito en forma general de acuerdo con la función que realiza. Esta función se relaciona con los procesos que se efectúan sobre los datos o información.

4.4.1 CONSTRUCCIÓN DEL MODELO

Una de las formas de comprender o analizar un circuito secuencial es determinar un modelo tal como la tabla de estados o el diagrama de transición. La correcta determinación del modelo permitirá encontrar la respuesta del circuito a cualquier secuencia de entradas.

La figura 4-36 muestra un esquema general de un circuito secuencial sincronizado. El llamado estado actual del circuito está dado por los valores de las salidas de los flip flops, dicho estado se mantiene entre cada transición del reloj, momento en el cual las salidas de los FF se modifican. En este esquema todos los FF cambian en el mismo borde del reloj.

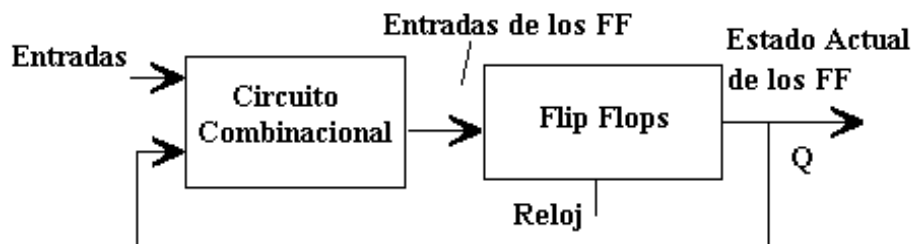


Figura 4-36 Esquema de un circuito secuencial

Construcción de la tabla de transición

Si el estado actual es aquel existente antes de una transición, vemos que el estado siguiente (después de la transición) depende de las entradas y del funcionamiento de los flip flops. Se nota en el esquema, que las entradas de los FF son una función lógica (circuito combinacional) del estado actual y de las entradas o variables independientes; es decir, dado un estado actual se puede determinar las entradas de los FF. Por otra parte, el comportamiento de cada flip flop está dado por su tabla de transición o ecuación de transición.

Es así como, conociendo los componentes del circuito combinacional y suponiendo los estados actuales y las entradas independientes, se pueden obtener las entradas actuales de los flip flops (antes de la transición). Luego, a partir de los valores de entradas de los FF y del funcionamiento de cada uno (ecuación o tabla de transición) se puede encontrar el valor siguiente. Se obtiene así el estado siguiente para cada estado actual y la tabla o diagrama de transición del circuito.

El procedimiento de análisis puede resumirse de la siguiente manera:

1. Se crea una tabla de transición del circuito con todos los valores posibles de entradas independientes y estados actuales.
2. Se modifica la tabla para incluir los valores de las entradas de los flip flops y construir así la llamada tabla de estados expandida.
3. Del circuito combinacional se obtienen las funciones de las entradas de cada flip flop. Si las hubiese, se obtienen las funciones de salida. Las expresiones serán función del estado actual y de las entradas independientes.
4. Con las funciones lógicas se determinan los valores de las entradas de los FF en cada uno de los estados actuales de la tabla.
5. Utilizando la tabla de funcionamiento o las ecuaciones de transición de cada FF y los valores de las entradas de los FF del paso anterior, se determinan los estados siguientes de cada estado actual en la tabla de transición.
6. Empleando la tabla de transición se realiza el diagrama de estados o transición.

EJEMPLO 4-2

Con el fin de comprender el circuito de la figura 4-37, se determinará su tabla y el diagrama de transición.

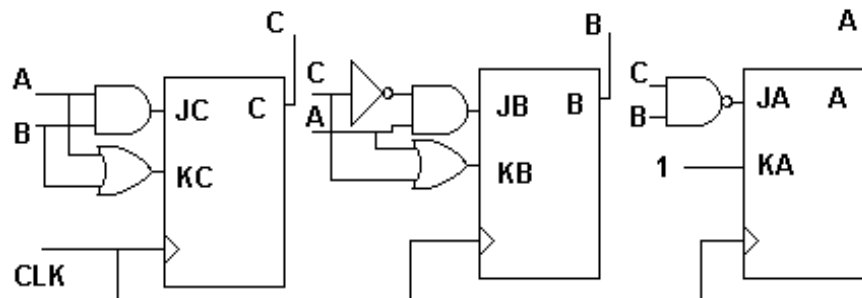


Figura 4-37 Circuito secuencial con FF J K (ejemplo 4-2)

Se crea una tabla de estados del circuito con todos los valores posibles de las entradas independientes y estados actuales.

ACTUAL			SIGUIENTE		
C	B	A	C*	B*	A*
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Tabla 4-11 Tabla de transición de tres bits (ejemplo 4-2)

Se modifica la tabla para incluir los valores de las entradas de los flip flops.

ACTUAL						SIGUIENTE		
JC	KC	JB	KB	JA	KA	C	B	A
						0	0	0
						0	0	1
						0	1	0
						0	1	1
						1	0	0
						1	0	1
						1	1	0
						1	1	1

Tabla 4-12 Tabla de transición expandida (ejemplo 4-2)

Del circuito combinacional se obtienen las funciones de entrada de los FF.

$$JC = A B \quad KC = A+B \quad JB = A C' \quad KB = A +C \quad JA = (B C)' \quad KA = 1$$

Con las funciones del paso anterior se determinan los valores de las entradas de los FF de cada uno de los estados actuales de la tabla.

ACTUAL						SIGUIENTE		
JC	KC	JB	KB	JA	KA	C	B	A
0	0	0	0	1	1	0	0	0
0	1	1	1	1	1	0	0	1
0	1	0	0	1	1	0	1	0
1	1	1	1	1	1	0	1	1
0	0	0	1	1	1	1	0	0
0	1	0	1	1	1	1	0	1
0	1	0	1	0	1	1	1	0
1	1	0	1	0	1	1	1	1

Tabla 4-13 Tabla de transición expandida con todos los valores (ejemplo 4-2)

Utilizando la tabla de funcionamiento o las ecuaciones de transición de cada FF y los valores de las entradas se determinan los estados siguientes de cada estado actual en la tabla de estado.

Ecuaciones:

$$QA^* = JA Q' + Q KA'$$

$$QB^* = JB Q' + QB K'$$

$$QC^* = JC Q' + QC K'$$

En el primer estado actual (QC QB QA) = (000) se ve que los valores de JC=0, KC=0 ocasionarán que en el estado siguiente QC* sea 0. Los valores de JB = KB = 0 mantienen la salida del flip flop B en QB* = 0. Por ultimo los valores JA = 1 y KA = 1 complementará salida del flip flop A, es decir QA* = 1.

Se procede de manera similar en cada uno de los estados actuales:

ESTADO						ACTUAL			SIGUIENTE		
JC	KC	JB	KB	JA	KA	C	B	A	C*	B*	A*
0	0	0	0	1	1	0	0	0	0	0	1
0	1	1	1	1	1	0	0	1	0	1	0
0	1	0	0	1	1	0	1	0	0	1	1
1	1	1	1	1	1	0	1	1	1	0	0
0	0	0	1	1	1	1	0	0	1	0	1
0	1	0	1	1	1	1	0	1	0	0	0
0	1	0	1	0	1	1	1	0	0	0	0
1	1	0	1	0	1	1	1	1	0	0	0

Tabla 4-14 Tabla de transición expandida completa (ejemplo 4-2)

Empleando la tabla de estado se realiza el diagrama de estados o transición de la figura 4-38.

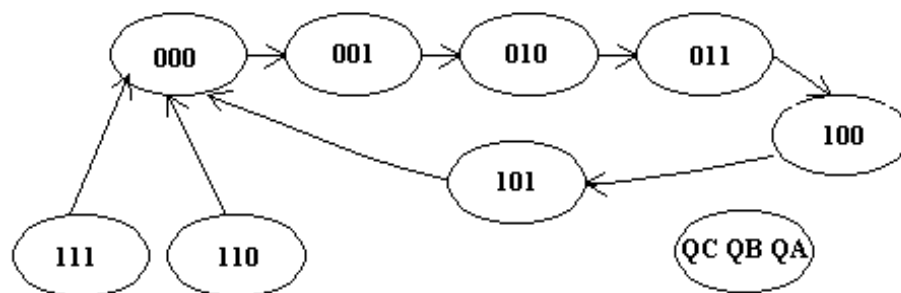


Figura 4-38 Diagrama de transición (ejemplo 4-2)

EJEMPLO 4-3

Determine la tabla y el diagrama de transición del circuito de la figura 4-39.

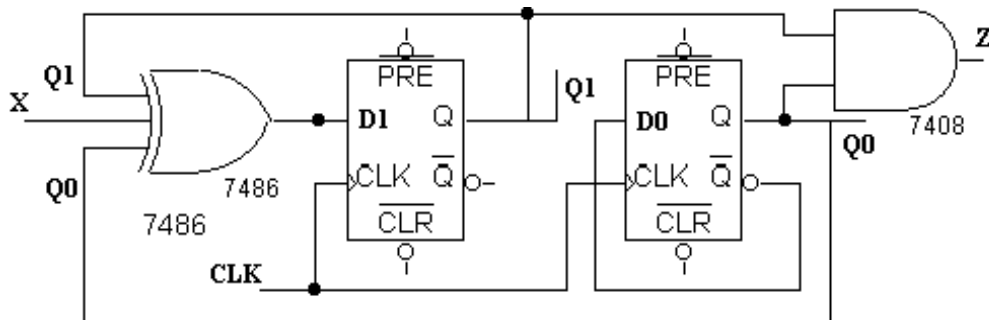


Figura 4-39 Circuito secuencial (ejemplo 4-3)

Se crea una tabla de estados del circuito para todos los valores posibles de entradas independientes y estados actuales.

X	Q1	Q0	Q1*	Q0*
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tabla 4-15 Tabla de transición del ejemplo 4-3

Se modifica la tabla para incluir los valores de las salidas combinacionales y de las entradas de los flip flops y construir así la llamada tabla de estados expandida.

D1	D0	X	Q1	Q0	Q1*	Q0*	Z
		0	0	0			
		0	0	1			
		0	1	0			
		0	1	1			
		1	0	0			
		1	0	1			
		1	1	0			
		1	1	1			

Tabla 4-16 Tabla de transición expandida (ejemplo 4-2)

Del circuito combinacional se obtienen las funciones de salida (Z) y de las entradas de cada flip flop. Las expresiones serán función del estado actual y de las entradas independientes.

$$D0 = Q0'$$

$$Z = Q0 Q1$$

$$D1 = (X \wedge Q1 \wedge Q0)$$

Con las funciones del paso anterior se determinan los valores de salida Z y de las entradas D0, D1 de los FLIP FLOP para cada uno de los estados actuales.

X	D1	D0	Q1	Q0	Q1*	Q0*	Z
0	0	1	0	0			0
0	1	0	0	1			0
0	1	1	1	0			0
0	0	0	1	1			0
1	1	1	0	0			0
1	0	0	0	1			0
1	0	1	1	0			0
1	1	0	1	1			1

Tabla 4-17 Tabla de transición expandida con todos los valores (ejemplo 4-3)

Utilizando la tabla de funcionamiento o las ecuaciones de transición y las entradas de los flip flop, se determinan los estados siguientes de cada estado actual.

En este caso ambos son tipo D, por tanto el estado siguiente pasará a tomar el valor de la entrada D respectiva.

$$Q0^* = D0$$

$$Q1^* = D1$$

X	D1	D0	Q1	Q0	Q1*	Q0*	Z
0	0	1	0	0	0	1	0
0	1	0	0	1	1	0	0
0	1	1	1	0	1	1	0
0	0	0	1	1	0	0	0
1	1	1	0	0	1	1	0
1	0	0	0	1	0	0	0
1	0	1	1	0	0	1	0
1	1	0	1	1	1	0	1

Tabla 4-18 Tabla de transición expandida completa (ejemplo 4-3)

Empleando la tabla de estado se realiza el diagrama de estados que se muestra en la figura 4-40 y el cual se corresponde con el diagrama de tiempos de la figura 4-41.

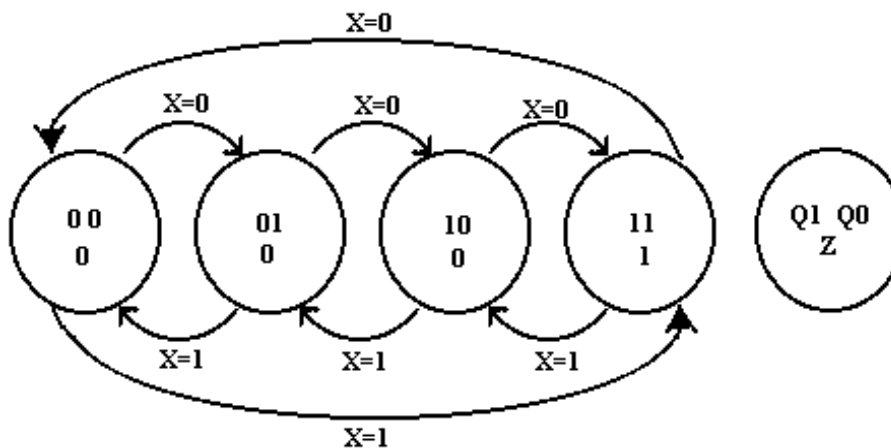


Figura 4-40 Diagrama de transición (Ejemplo 4-3)

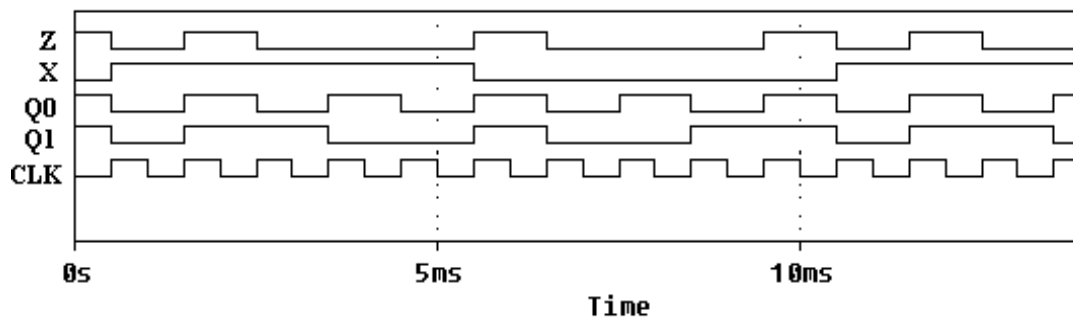


Figura 4-41 Diagrama de tiempos (Ejemplo 4-3)

4.4.2 ANÁLISIS FUNCIONAL

Comúnmente los circuitos y sistemas digitales se entienden y clasifican de acuerdo a la función que realizan. Esta forma de interpretar o describir un circuito es muchas veces la más práctica, por ello antes de hacer un análisis o definición sobre la base de diagramas de estado, tablas de transición u otra herramienta, es conveniente establecer, si es posible, la función del circuito o sistema. A continuación se presentan algunos circuitos cuyo funcionamiento es explicado de acuerdo con el proceso que realizan.

Circuito contra rebotes

Un medio por el cual los sistemas digitales reciben información del exterior es a través de los interruptores mecánicos. Hay una gran variedad de interruptores pero como en cualquier otro contacto mecánico, el cierre o apertura no se realiza limpiamen-

te debido al llamado fenómeno de **rebote de contacto**. Cuando un interruptor sirve para conectar niveles de voltaje produce varias transiciones de voltaje conforme el interruptor rebota antes de quedar en reposo.

Tales transiciones de la señal en general no duran más de unos milisegundos, pero en muchas aplicaciones son inaceptables (por ejemplo como señal de reloj). Se puede usar un biestable SR para evitar las oscilaciones o variaciones debidas a los rebotes de los contactos, en la figura 4-42 se muestra como producir una señal binaria limpia con un interruptor de simple polo y doble tiro acoplado a un flip flop S R. [2]

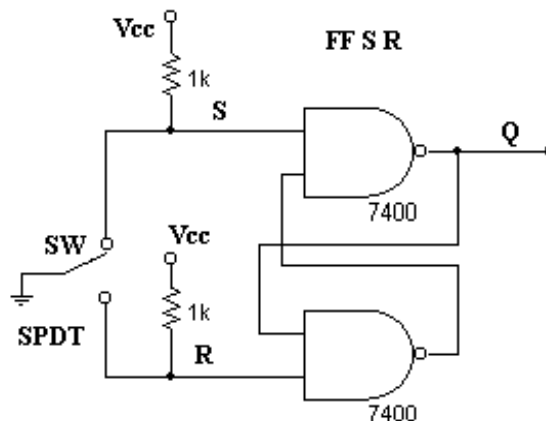


Figura 4-42 Circuito sin irebote

Las señales en S y R tendrán oscilaciones mientras que la salida Q será un 0 o 1 limpio.

Divisores de frecuencia

Cuando se necesitan pulsos de frecuencias menores que la frecuencia del reloj se puede usar un circuito divisor de frecuencia con el fin de obtener estos pulsos a partir de la señal del reloj.

Observando la figura 4-43, se ve que cada FF tiene sus entradas J y K en el nivel 1, así que complementará la salida (toggle) siempre que la señal en su entrada CLK pase de alto a bajo. La sucesión de pulsos del reloj se aplica solamente a la entrada CLK del flip flop F0. Las formas de onda de la figura muestran como los FF cambian estados cuando se aplican los pulsos.

Del análisis del circuito podemos concluir lo siguiente:

- Cada uno de los flip flops se complementa en la transición negativa de cada pulso de señal de reloj. Así, la forma de onda de salida tiene una frecuencia que es la mitad de la frecuencia de la entrada de reloj.
- El flip-flop F0 se complementa cada vez que la señal CLK pasa de alto a bajo. La forma de onda F0 tiene una frecuencia exactamente igual a un medio de la frecuencia de la señal CLK .
- Por un análisis similar se deduce que la frecuencia de la señal F1 es 1/4 de la frecuencia de CLK, mientras que la de F2 es 1/8 .
- Cada salida de un flip flop es una onda cuadrada (ciclo de trabajo del 50%).
- Utilizando un número N de flip flops conectados en serie se puede obtener un divisor de frecuencia por 2^N .

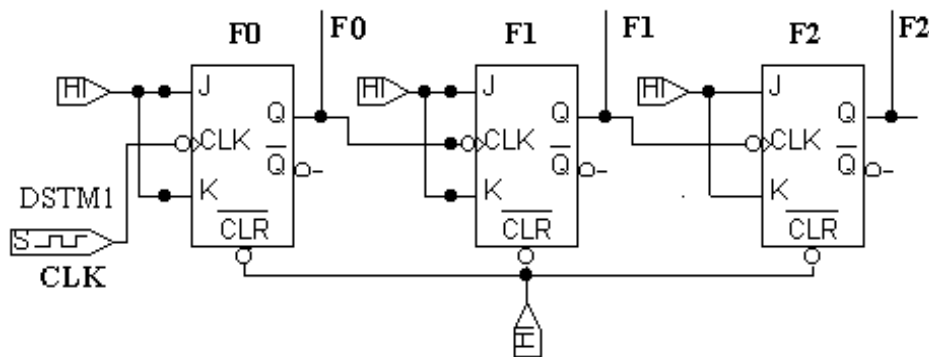


Figura 4-43 Divisor de frecuencia

La figura 4-44 muestra las formas de onda de las salidas de cada uno de los FF en relación con la entrada CLK.

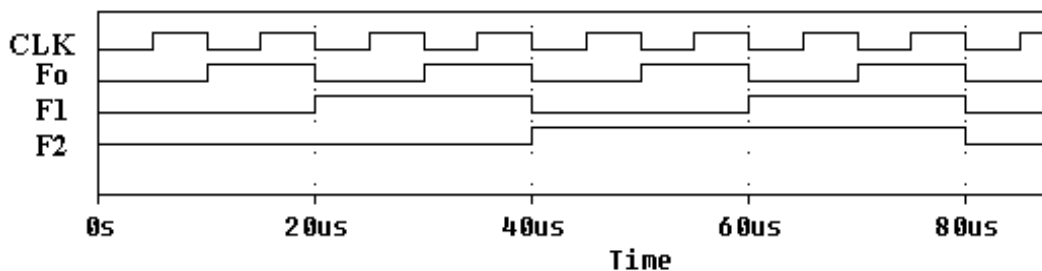


Figura 4-44 Diagrama de tiempos de un divisor de frecuencia

Registro de datos

Uno de los usos más frecuente de los biestables es el almacenamiento o registro de datos. Generalmente un sistema o una etapa de él necesita almacenar datos mientras procesa otra información.

En la figura 4-45 se puede ver un registro o memoria compuesta por cuatro flip flops tipo D, cuyas salidas están conectadas a un visualizador. Los datos conectados en algún momento a las entradas de los FF son transferidos a la salida en la transición del reloj. Es así como ahora las entradas pueden variar sin que se afecte los datos almacenados. La señal del reloj actúa como control y el cambio de datos en la memoria solo es posible si aparece un nuevo pulso.

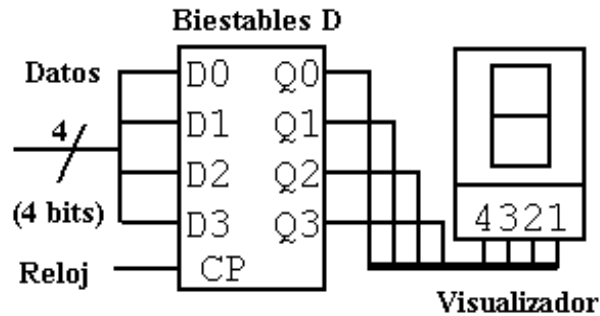


Figura 4-45 Registro de datos